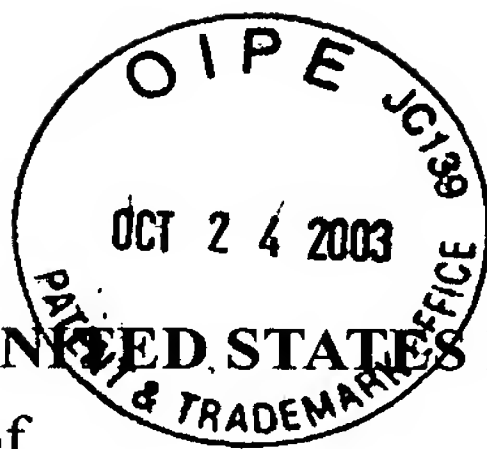


PATENT

Customer No.31561
Docket No.: 10681-US-PA



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Ko-Chin Yang
Application No. : 10/604,806
Filed : August 19, 2003
For : METHOD OF FABRICATING A THIN FILM
TRANSISTOR ARRAY PANEL SUBSTRATE
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92107249,
filed on:2003/03/31.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: October 22, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

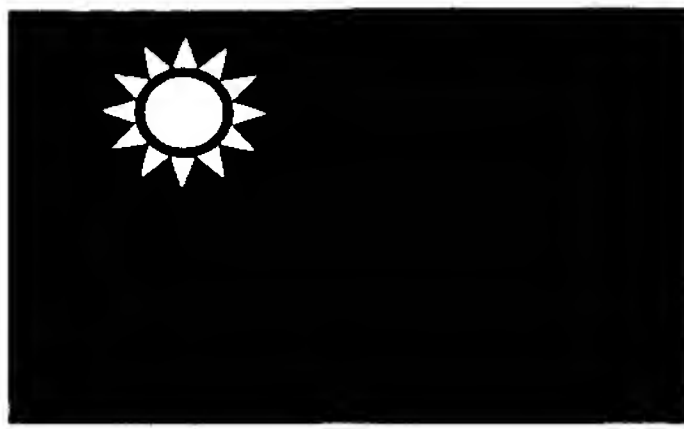
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 31 日
Application Date

申請案號：092107249
Application No.

申請人：廣輝電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 2 日
Issue Date

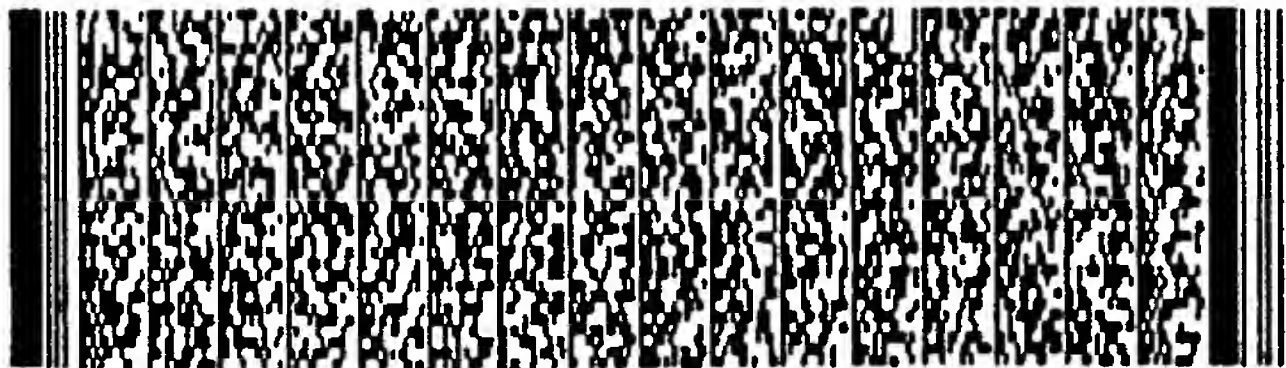
發文字號：09220767150
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	薄膜電晶體陣列基板的製造方法
	英 文	METHOD OF FABRICATING A THIN FILM TRANSISTOR ARRAY PANEL
二、 發明人 (共1人)	姓 名 (中文)	1. 楊克勤
	姓 名 (英文)	1. KO CHIN YANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市中山北路5段687號12樓
	住居所 (英 文)	1. 12Fl., No. 687, Sec. 5, Jungshan N. Rd., Shrlin Chiu, Taipei, Taiwan 111, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 廣輝電子股份有限公司
	名稱或 姓 名 (英文)	1. Quanta Display Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞二路189號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 189, Huaya 2nd Rd., Gueishan Shiang, Taoyuan, Taiwan 333, R.O.C.
	代表人 (中文)	1. 林百里
	代表人 (英文)	1. Pak-Lee Lam



10681twf.ptd

四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板的製造方法)

一種薄膜電晶體陣列基板的製造方法，此方法係首先在一基板上形成一閘極以及與閘極電性連接之一掃描配線，接著在基板上形成一閘絕緣層。之後在閘極上方之閘絕緣層上形成一通道層。隨後在基板之上方形形成一透明導電層以及一金屬層，之後圖案化金屬層與透明導電層，以定義出一源極/汲極、一資料配線以及一畫素區域。然後在基板之上方形形成一保護層，暴露出畫素區域中之金屬層，之後再以保護層為罩幕，移除畫素區域中之金屬層，而形成一畫素電極。由於本發明只需使用四道光罩，因此可以降低製造成本。

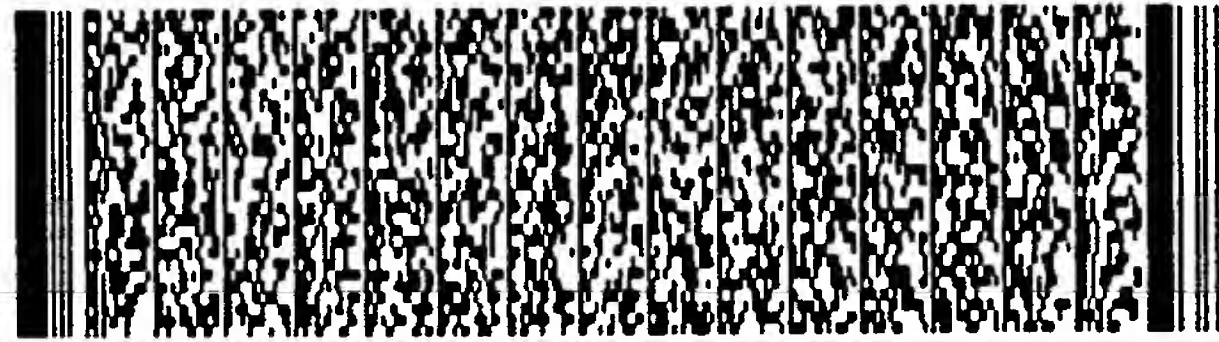
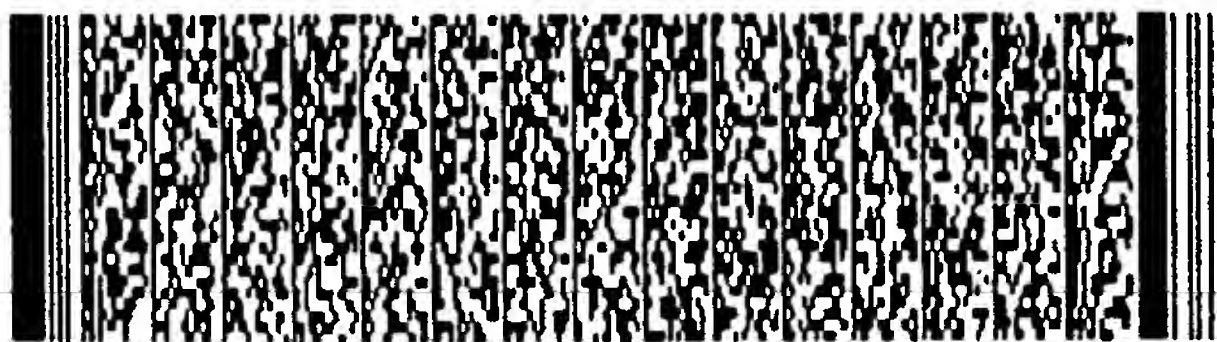
伍、(一)、本案代表圖為：第___2E____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基板	201：透明導電層	205：閘絕緣層
206：閘極	208：通道層	209：歐姆接觸層

陸、英文發明摘要 (發明名稱：METHOD OF FABRICATING A THIN FILM TRANSISTOR ARRAY PANEL)

A method of fabricating a thin film transistor array panel is described. A gate and a scan line electrically connected with the gate are formed on a substrate, and a gate insulating layer is formed on the substrate. A channel is formed on the gate insulating layer above the gate. A transparent conductive layer and a metal layer are formed over the substrate. Then,

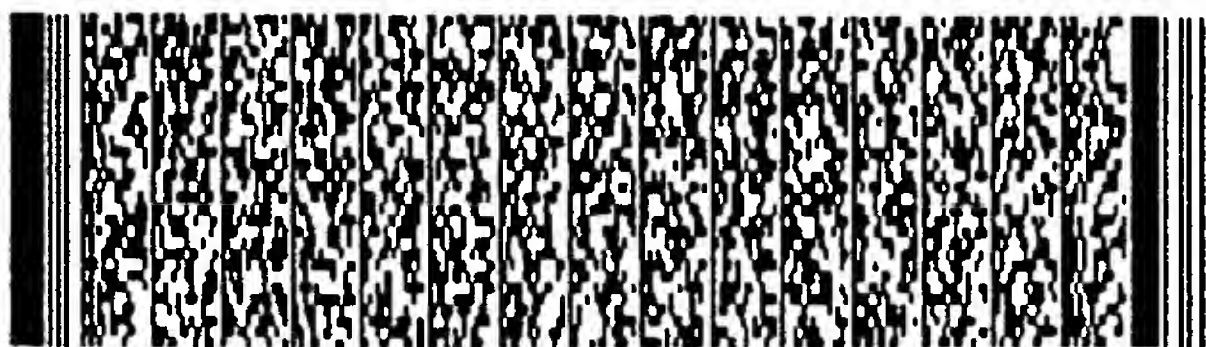


四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板的製造方法)

210a/210b : 源極/汲極 211 : 保護層 212a、
212b : 端子部 214 : 共用線 216 : 畫素電極
230 : 薄膜電晶體 260 : 畫素區域

陸、英文發明摘要 (發明名稱：METHOD OF FABRICATING A THIN FILM TRANSISTOR ARRAY PANEL)

patterning the metal layer and the transparent conductive layer to define a source/drain, a data line and a pixel region. A passivation layer is formed over the substrate exposing the metal layer in the pixel region. The metal layer is removed by using the passivation layer as a mask for forming a pixel electrode. Since the present invention only needs four masks, the process cost



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板的製造方法)

陸、英文發明摘要 (發明名稱：METHOD OF FABRICATING A THIN FILM TRANSISTOR ARRAY PANEL)

can be decreased.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

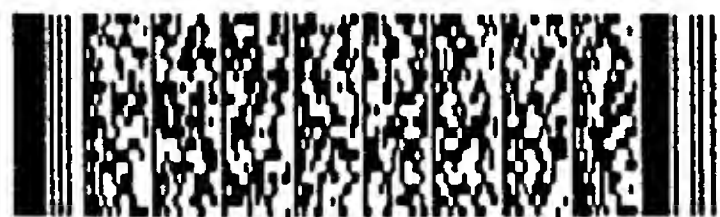
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

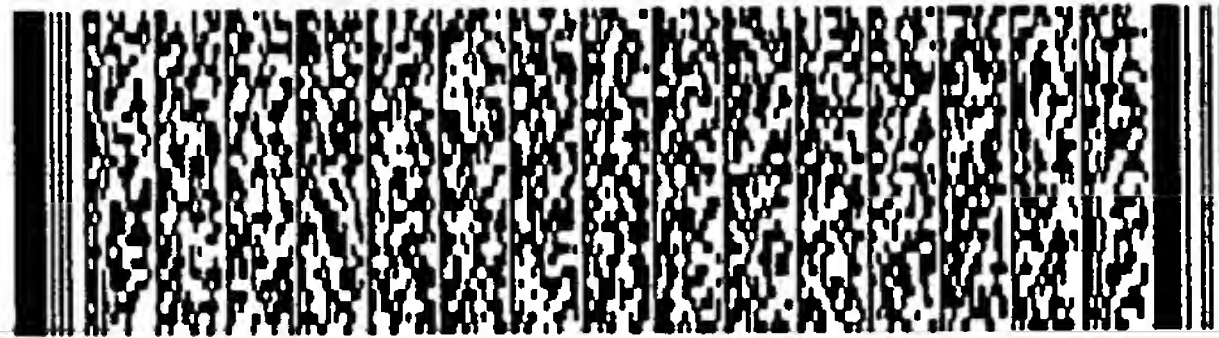
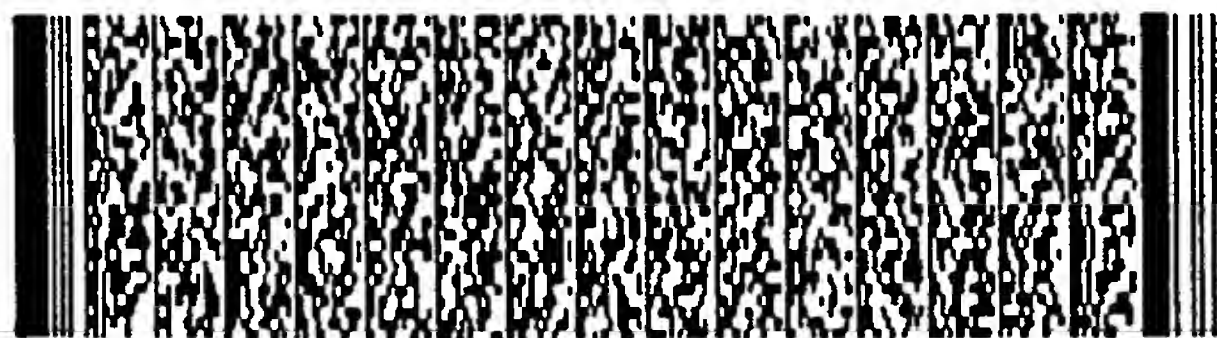
本發明是有關於一種薄膜電晶體陣列(Thin Film Transistor Array)基板的製造方法，且特別是有關於一種可以減少光罩數之薄膜電晶體陣列基板的製造方法。

先前技術

薄膜電晶體液晶顯示器主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列之薄膜電晶體以及與每一薄膜電晶體對應配置之一畫素電極(Pixel Electrode)而構成數個畫素結構。而上述之薄膜電晶體係包括閘極、通道層、汲極與源極，其係用來作為液晶顯示單元的開關元件。

習知薄膜電晶體製程中，較常見的是五道光罩製程。其中，第一道光罩製程是用來定義第一金屬層，以形成掃描配線以及薄膜電晶體之閘極等構件。第二道光罩製程是定義出薄膜電晶體之通道層以及歐姆接觸層。第三道光罩製程是用來定義第二金屬層，以形成資料配線以及薄膜電晶體之源極/汲極等構件。第四道光罩製程是用來將保護層圖案化。而第五道光罩製程是用來將透明導電層圖案化，而形成畫素電極。

然而，隨著薄膜電晶體液晶顯示器朝大尺寸製作的發展趨勢，而將會面臨許多的問題與挑戰，例如良率的降低以及產能下降等等。因此若是能減少薄膜電晶體製程的光罩數，即降低薄膜電晶體元件製作之曝光工程次



五、發明說明 (2)

數，就可以減少製造時間，增加產能，進而降低製造成本。

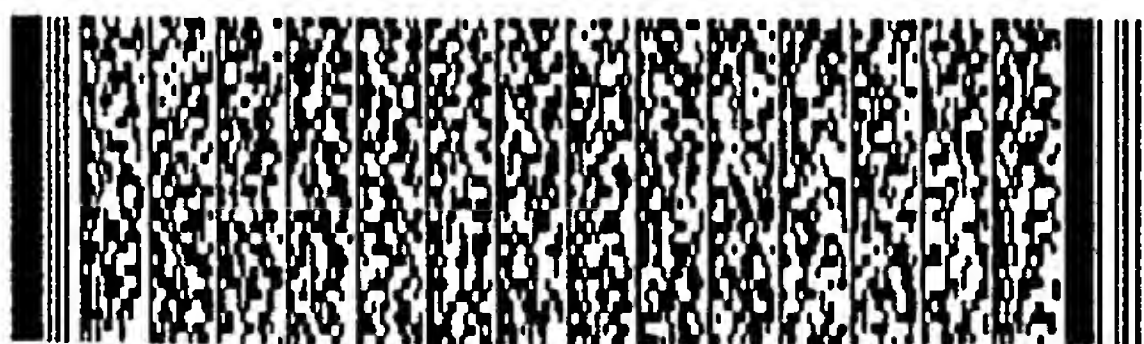
在美國專利第5,407,845號專利中有揭露一種四道光罩的薄膜電晶體製程。其中，第一道光罩製程是用來定義第一金屬層，以形成掃描配線以及薄膜電晶體之閘極等構件。第二道光罩製程是用來定義主動層(通道層)以及形成在主動層上之通道保護層，之後利用非等向蝕刻製程移除通道保護層側壁之部分厚度，然後再利用此通道保護層作為植入罩幕，以使主動層之側邊處摻雜離子。第三道光罩製程是用來圖案化第二金屬層以及氧化銦錫層，以定義出資料配線、源極/汲極以及畫素電極等構件。第四道光罩是用來圖案化保護層，後續，再利用保護層為罩幕便以將畫素電極之第二金屬層移除，暴露出畫素電極處之氧化銦錫層。

發明內容

因此，本發明的目的就是提供一種薄膜電晶體陣列基板的製造方法，以降低薄膜電晶體製程之光罩使用數，進而降低製作成本。

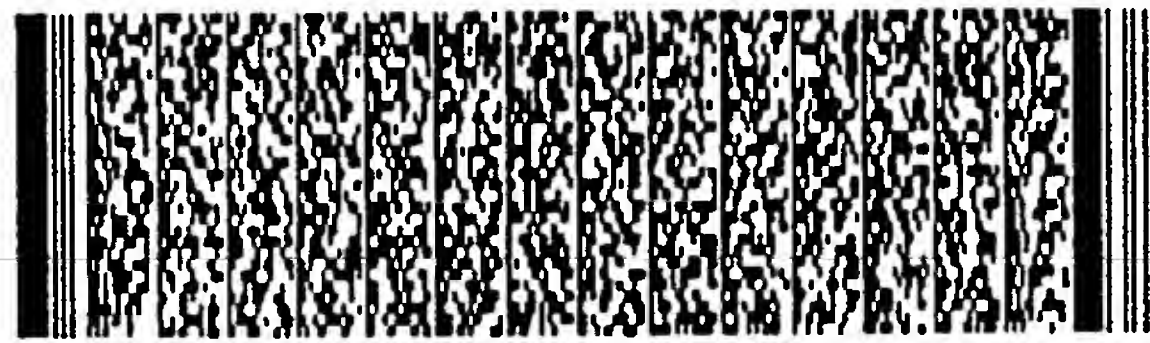
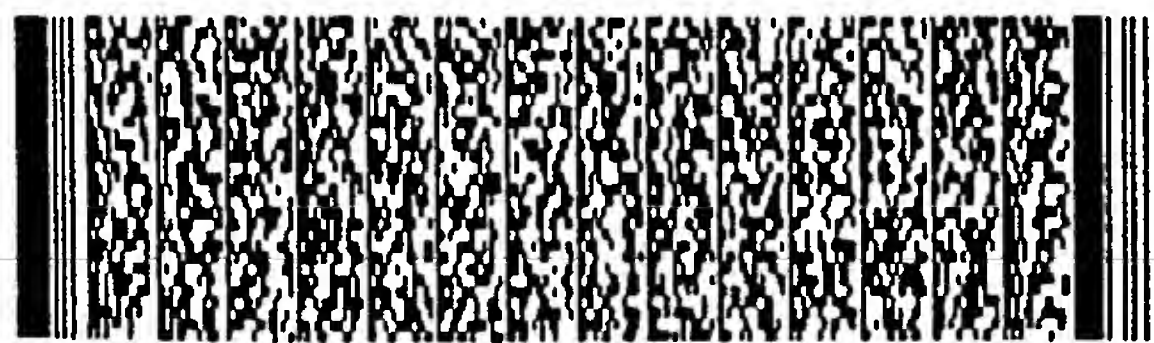
本發明的另一目的就是提供一種薄膜電晶體陣列基板的製造方法，以提供一種有別於習知四道光罩之薄膜電晶體製程。

本發明提出一種薄膜電晶體陣列基板的製造方法，此方法係首先在基板上形成閘極、與閘極電性連接之掃描配線以及與掃描配線平行之共用線，並且同時在基板



五、發明說明 (5)

之金罩之以明導方中上護若線僅之製造姆使製道知
上方層以移層電層係素樣間選端不第發用數發法層端第層之
形及除，塊即與電的極、性部成端所道進所，甚部光因方法
成第一畫暴之為資極，在掃的之此子提光而提出第在露製本
一保護端區出明素配作上描形表透部出罩降之四光一來是明
保護層，部與素電極電畫薄線、層會電用膜此作道罩實。用之
，暴上第區層，而連儲電共透受層不電可成光製施而來四
露之第二域，而連儲電共透受層不電可成光製施而來四
出導端與而第接存晶用明到，被蝕體減少。之是第四主罩
畫電子第畫一。電體線導後則蝕體減少。之是第四主罩
素塊部二素端另容陣以電續開刻陣少。之是第四主罩
區。之端區子外器列及層蝕極之列薄膜電晶體陣列基板的歐能體通
域接金子域部，之基第一其製掃屬板電晶體通道程薄膜（通道層）有別於
與著屬部中上形上板第一其製掃屬板電晶體通道程薄膜（通道層）有別於
第，層之所導成電的端目程描材的晶體製程所，需
二以以透暴電於極製子的之配質製體製方程所，需
端保及明露塊共。造部是用壞、共，方法，需
子護導導出之用。方之表來。倘用，需
部層電電的透線。方之表來。倘用，需
之為塊層透明上。方之表來。倘用，需



五、發明說明 (6)

此外，本發明所提出之薄膜電晶體陣列基板的製造方法，除了僅需四道光罩製程之外，且其第二道光罩製程與習知技術不相同之外，本發明之方法還能使掃描配線與資料配線之間有電性連接的關係，如此，將有助於靜電放電保護電路或是其他電路設計的方便性。

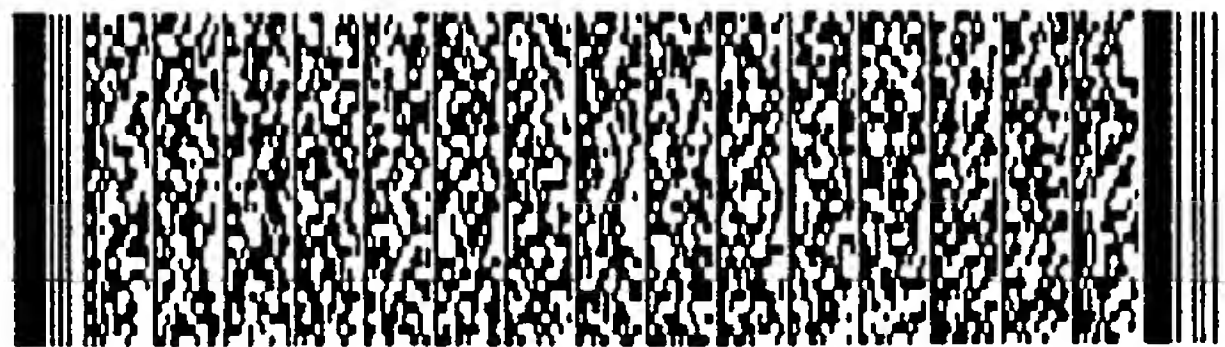
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第一實施例

第1圖所示，其繪示係為依照本發明一較佳實施例之一種薄膜電晶體陣列基板之上視示意圖；第2A圖至第2E圖所示，其繪示係為依照本發明一較佳實施例之一種薄膜電晶體陣列基板之製造流程剖面示意圖，其係為第1圖中由I-I'之剖面示意圖。

請同時參照第1圖與第2A圖，首先提供基板200，其中基板200例如是玻璃基板或是塑膠基板。之後，在基板200上形成一第一金屬層(M1)(未繪示)，並且進行第一道光罩製程，以定義出閘極206、與閘極206電性連接之掃描配線202、與掃描配線202平行之共用線214以及形成在基板200一邊緣處之第一端子部212a。其中，第一端子部212a係與掃描配線202電性連接，其後續係用來與驅動電路電性連接，共用線214後續係用來作為畫素儲存電容器250之下電極。在一較佳實施例中，第一金屬層之材質例



五、發明說明 (7)

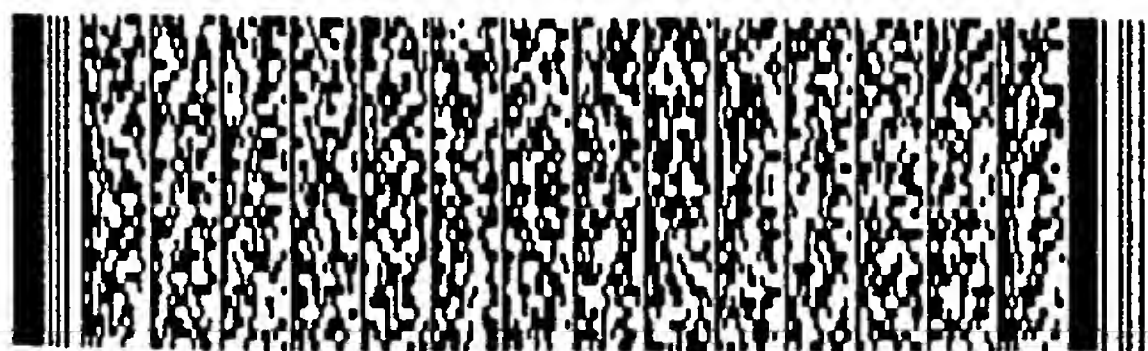
如是鉻(Cr)、鎢(W)、(Ta)、鈦(Ti)、鉬(Mo)、鋁(Al)或是合金。

特別值得一提的是，在此，可以選擇性的在閘極206、掃描配線202、共用線214以及第一端子部212a之表面上額外形成一層透明導電層201，透明導電層201之材質例如是氧化銦錫(ITO)或氧化銦鋅(IZO)。換言之，可以先在基板200上沈積第一金屬層之後，再於第一金屬層上沈積一層透明導電層(未繪示)，然後，再一同將透明導電層與第一金屬層圖案化，而定義出閘極206、掃描配線202、共用線214與第一端子部212a，以及形成在閘極206、掃描配線202、共用線214與第一端子部212a表面之透明導電層201。倘若選擇不形成此透明導電層201，則第一金屬層需使用不被蝕刻之金屬材質。

接著，請參照第2B圖，在基板200上形成閘絕緣層205，覆蓋住第一金屬層(包括閘極206、掃描配線202、共用線214以及第一端子部212a)。在一較佳實施例中，閘絕緣層205之材質例如是氮化矽、氧化矽或氮氧化矽。

隨後，在基板200之上方形形成一層通道材質層(未繪示)以及一層歐姆接觸層(未繪示)，並且進行第二道光罩製程，以在閘極206上方之閘絕緣層205上定義出通道層208以及歐姆接觸層209。在一較佳實施例中，通道層208之材質例如是非晶矽，歐姆接觸層209之材質例如是經摻雜之非晶矽。

之後，請參照第2C圖，在基板200之上方依序沈積一



五、發明說明 (8)

層透明導電層(未繪示)以及第二金屬層(M2)(未繪示)之後，進行第三道光罩製程，以圖案化第二金屬層以及透明導電層，而定義出資料配線204、源極/汲極

210a/210b、

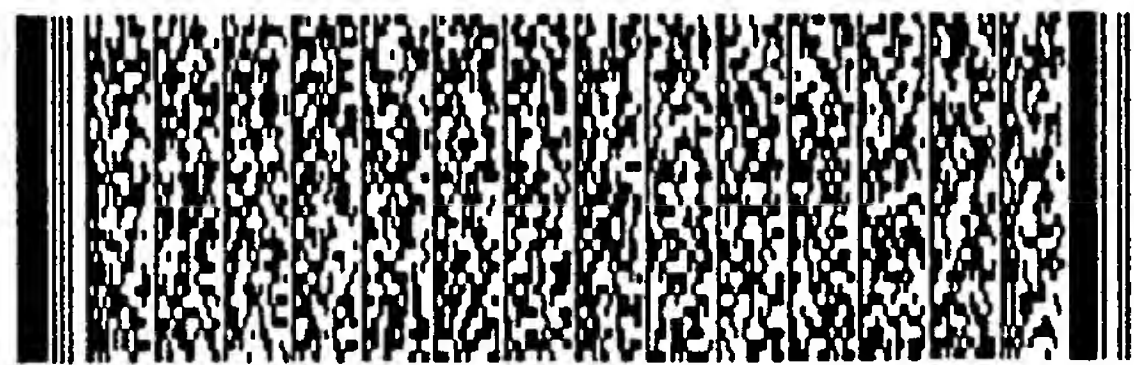
畫素區域260以及第二端子部212b，其中資料配線204係與源極210a電性連接，且其末端又與第二端子部212b電性連接，而第二端子部212b後續是用來與驅動電路電性連接。在此，所定義出之資料配線204、源極/汲極

210a/210b以及第二端子部212b係為具有金屬層(上層)與透明導電層215(下層)之二層結構。另外，所定義出之畫素區域260也是兩層結構，其包括下層透明導電層215以及上層金屬層210c。在一較佳實施例中，第二金屬層之材質例如是鉻(Cr)、鎢(W)、(Ta)、鈦(Ti)、鉬(Mo)、鋁(Al)或是合金，而透明導電層215之材質例如是氧化銦錫(ITO)或氧化銦鋅(IZO)。

接著，移除被第二金屬層裸露出的歐姆接觸層209，而使通道層208暴露出來。

隨後，請參照第1圖、第2D圖與第2E圖，在基板200之上方形形成一保護層(未繪示)，並且進行第四道光罩製程，以形成圖案化之保護層211，其中保護層211係暴露出畫素區域260、第二端子部212b以及第一端子部212a上方之閘絕緣層205。在此，保護層211之材質例如是氧化矽、氮化矽、氮氧化矽或是有機材質。

之後，以保護層211為蝕刻罩幕，移除未被保護層



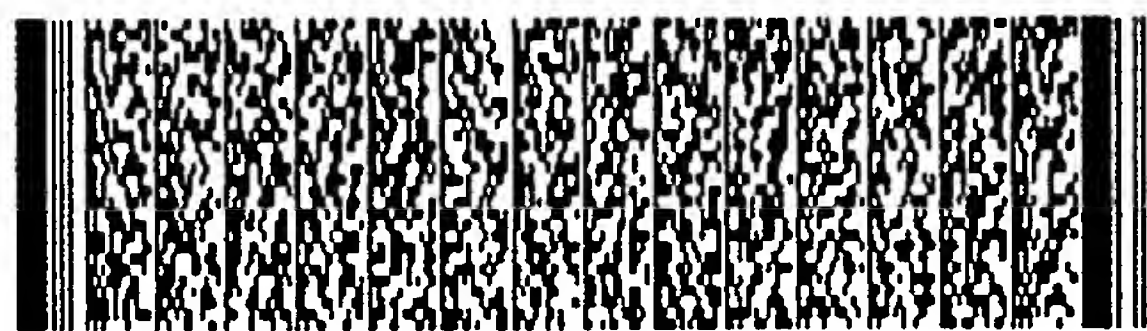
五、發明說明 (9)

211 覆蓋之金屬層，其包括畫素區域260中之金屬層210c以及第二端子部212b之金屬層，並且移除第一端子部212上方之閘絕緣層205，而暴露出畫素區域260中之透明導電層215、第二端子部212b之透明導電層215以及第一端子部212(或第一端子部212上之透明導電層201)，其中畫素區域260中被暴露出的透明導電層215即為畫素電極216。如此，即完成一薄膜電晶體陣列基板之製作。

另外，先前所形成之共用線214係作為畫素儲存電容器250之下電極，因此形成在共用線214上方之畫素電極216即作為畫素儲存電容器250之上電極，而形成於共用線214與畫素電極216之間之閘絕緣層205即作為電容介電層。

在上述之薄膜電晶體陣列基板的製造方法中，僅需使用四道光罩製程，其中第一光罩是用來定義第一金屬層，以形成閘極、掃描配線、共用線以及第一端子部。第二道光罩製程係定義通道層以及歐姆接觸層。第三道光罩製程係用來定義第二金屬層以及透明導電層，以定義出資料配線、源極/汲極、畫素區域以及第二端子部。而第四道光罩是用來圖案化保護層。後續，直接使用保護層為罩幕便可以將畫素區域中之第二金屬層移除，暴露出透明導電層，而形成畫素電極，並且將第一端子部上之閘絕緣層移除，以使第一端子部暴露出來。

第二實施例



五、發明說明 (10)

第3A圖至第3H圖所示，其繪示係為依照本發明另一較佳實施例之一種薄膜電晶體陣列基板之製造流程剖面示意圖，其係為第1圖中由I-I'之剖面示意圖。

請同時參照第1圖與第3A圖，首先在基板200上形成第一金屬層(M1)(未繪示)，並且進行第一道光罩製程，以定義出閘極206、與閘極206電性連接之掃描配線202、與掃描配線202平行之共用線214以及形成在基板200二邊緣處之第一端子部212a。其中，第一端子部212a係與掃描配線202電性連接，其後續係用來與驅動電路電性連接，共用線214後續係用來作為畫素儲存電容器250之下電極。在一較佳實施例中，第一金屬層之材質例如是鉻(Cr)、鎢(W)、鉭(Ta)、鈦(Ti)、鉬(Mo)、鋁(Al)或是合金。

同樣的，在此實施例中，可以選擇性的在閘極206、掃描配線202、共用線214以及第一端子部212a之表面上額外形成一層透明導電層201，透明導電層201之材質例如是氧化銦錫(ITO)或氧化銦鋅(IZO)。換言之，可以先在基板200上沈積第一金屬層之後，再於第一金屬層上沈積一層透明導電層(未繪示)，然後，再一同將透明導電層與第一金屬層圖案化，而定義出閘極206、掃描配線202、共用線214與第一端子部212a，以及形成在閘極206、掃描配線202、共用線214與第一端子部212a表面之透明導電層201。倘若選擇不形成此透明導電層201，則第一金屬層需使用不被蝕刻之金屬材質。



五、發明說明 (11)

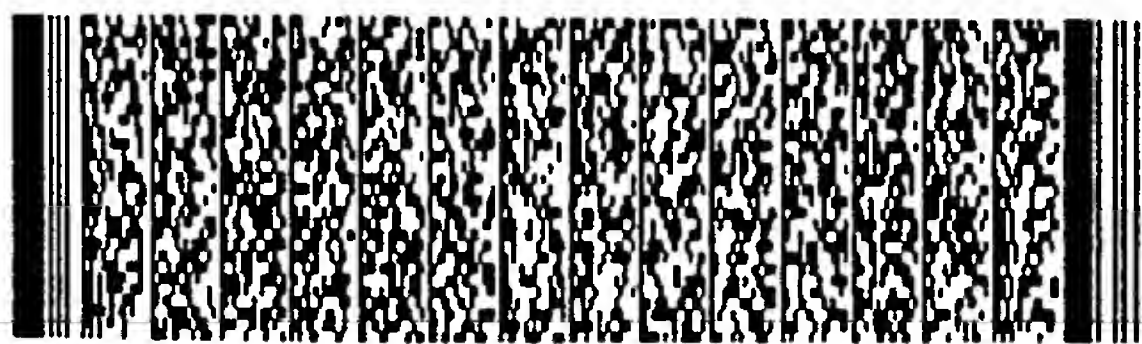
接著，請參照第3B圖，在基板200上形成閘絕緣層205，覆蓋住第一金屬層(包括閘極206、掃描配線202、共用線214以及第一端子部212a)。在一較佳實施例中，閘絕緣層205之材質例如是氮化矽、氧化矽或氮氧化矽。之後，在閘絕緣層205上形成一層通道材質層268以及一層歐姆接觸層269。

之後，進行第二道光罩製程，此第二道光罩製程包括先在歐姆接觸層269上形成一光阻層310，並且在光阻層310之上方設置一光罩300。其中，光罩300具有一曝光區302、一半曝光區304以及一非曝光區306，曝光區302係對應於基板200上形成有第一端子部212a之處，非曝光區306係對應基板200上形成有閘極206之處，而半曝光區304則是對應基板200上的其他部分。

請參照第3C圖，進行一微影製程，以圖案化光阻層310，而形成圖案化之光阻層310a，其中光阻層310a係暴露出端子部212上方之歐姆接觸層269，而且覆蓋在閘極206上方之光阻層310a之厚度較其他部分之光阻層310a厚度厚。

請參照第3D圖，以光阻層310a為蝕刻罩幕進行一蝕刻步驟，以移除第一端子部212a上方之歐姆接觸層269、通道材質層268以及閘絕緣層205，暴露出第一端子部212a(或是第一端子部212a上之透明導電層201)。

請參照第3E圖，進行一光阻灰化步驟，以移除光阻層310a之部分厚度，而形成光阻層310b，所形成之光阻



五、發明說明 (12)

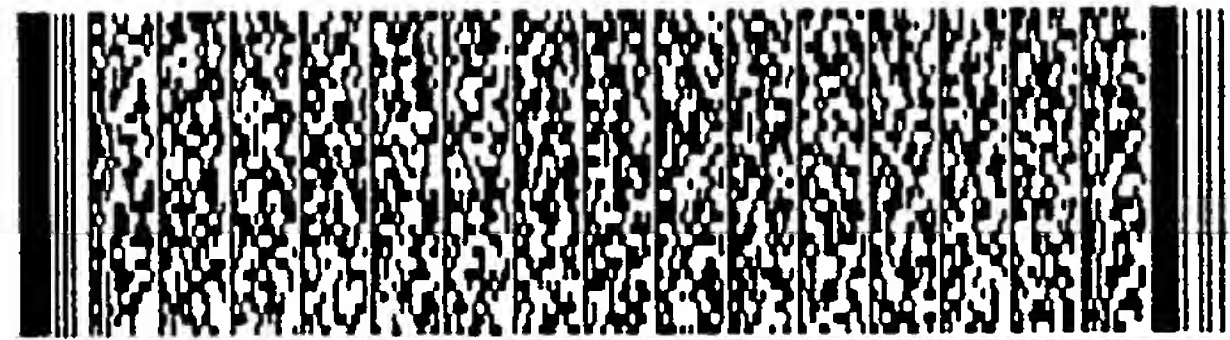
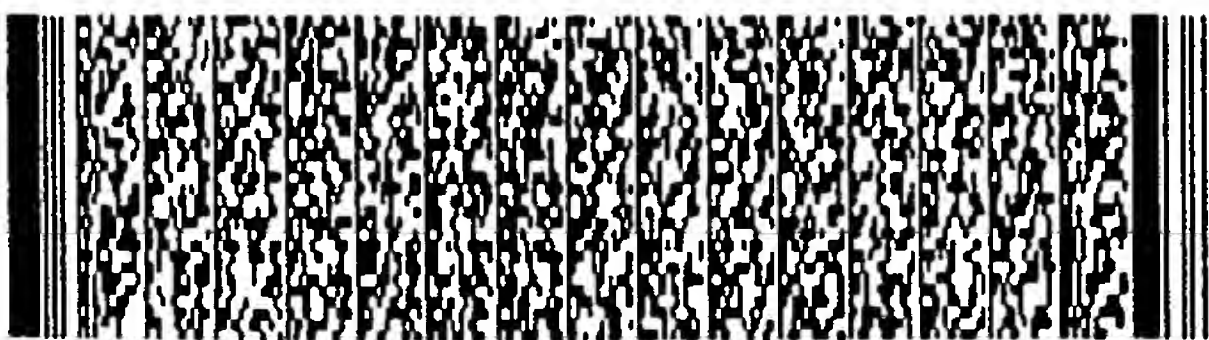
層310b係覆蓋住閘極206上方之歐姆接觸層269。

請參照第3F圖，以光阻層310b為蝕刻罩幕，進行一蝕刻步驟，以圖案化歐姆接觸層269以及通道材質層268，而定義出通道層208以及歐姆接觸層209。

請參照第3G圖，在基板200之上方依序沈積一層透明導電層(未繪示)以及第二金屬層(M2)(未繪示)之後，進行第三道光罩製程，以圖案化第二金屬層以及透明導電層，而定義出資料配線204、源極210a、汲極210b、畫素區域260以及第二端子部212b，並且同時在暴露出的第一端子部212a上定義出導電塊219。

其中，資料配線204係與源極210a電性連接，且其末端又與第二端子部212b電性連接，第二端子部212b後續係用來與驅動電路電性連接。在此，所定義出之資料配線204、源極210a、汲極210b以及第二端子部212b係為具有金屬層(上層)與透明導電層215(下層)之二層結構。而且，所定義出之畫素區域260也是兩層結構，其包括下層透明導電層215以及上層金屬層210c。除此之外，第一端子部212a上之導電塊219也是包含下層透明導電層215以及上層金屬層210d，而且第一端子部212a上之導電塊219係與資料配線204電性連接。在一較佳實施例中，第二金屬層之材質例如是鉻(Cr)、鎢(W)、鉭(Ta)、鈦(Ti)、鉬(Mo)、鋁(Al)或是合金，而透明導電層215之材質例如是氧化銦錫(ITO)或氧化銦鋅(IZO)。

接著，移除被第二金屬層裸露出的歐姆接觸層209，



五、發明說明 (13)

而使通道層208暴露出來。

隨後，請參照第1圖、第3H圖與第3I圖，在基板200之上方形形成一保護層(未繪示)，並且進行第四道光罩製程，以形成圖案化之保護層211，其中保護層211係暴露出畫素區域260、第二端子部212b以及第一端子部212a上方導電塊219。在此，保護層211之材質例如是氧化矽、氮化矽、氮氧化矽或是有機材質。

之後，以保護層211為蝕刻罩幕，移除未被保護層211覆蓋之金屬層，其包括畫素區域260中之210c以及第二端子部212b之金屬層，並且同時移除第一端子部212a上之導電塊219的金屬層210d，而暴露出畫素區域260中之透明導電層215、第二端子部212b之透明導電層215以及第一端子部212a上之透明導電層215，其中畫素區域260中被暴露出的透明導電層215即為畫素電極216，而第一端子部212上方之透明導電層215係為接觸層216a。

特別是，第一端子部212a上方的接觸層216a係與資料配線204電性連接，如此一來，掃描配線202與資料配線204之間便有電性連接之關係。由於先前在第二道光罩製程中已先使第一端子部212a暴露出來，因此後續在第三道光罩製程中於定義第二金屬層與透明導電層時，便可以在暴露的第一端子部212a上定義出導電塊219(包含金屬層210d與透明導電層215)，且掃描配線202末端之第一端子部212a上的導電塊219與資料配線204之間有電性連接的關係。因此，後續在將導電塊219之金屬層210d移



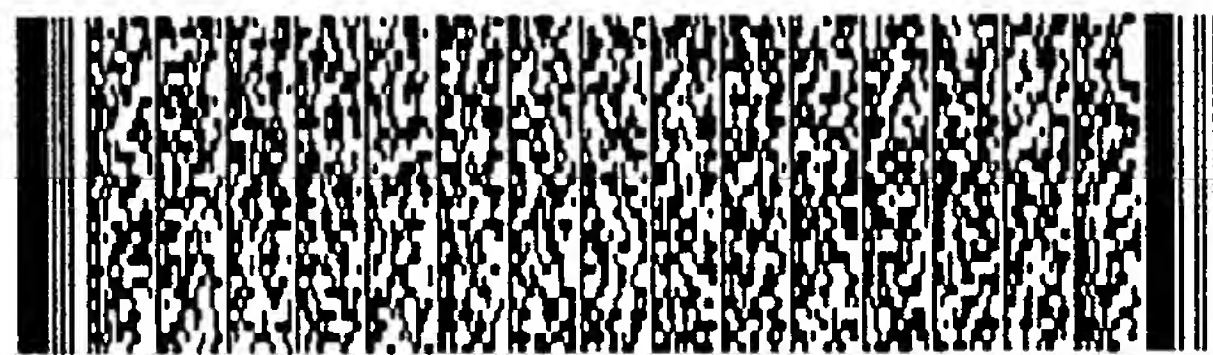
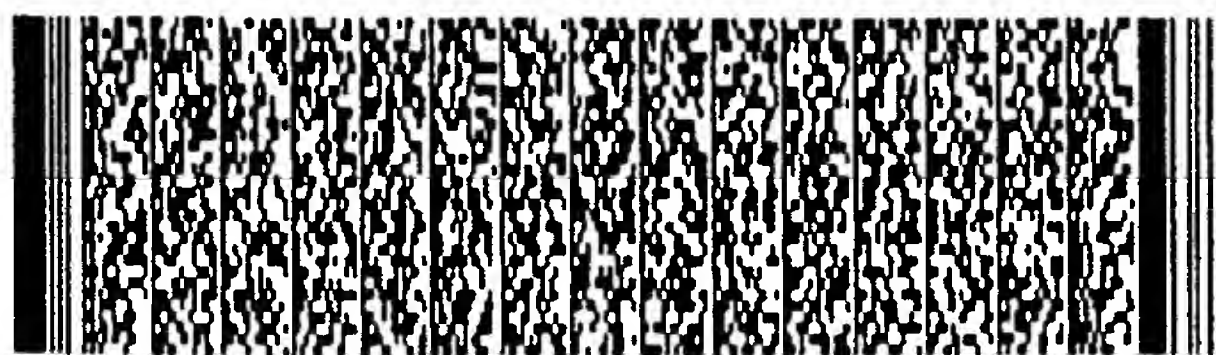
五、發明說明 (14)

除之後，藉由接觸層216a(即形成在第一端子部212a上之透明導電層215)仍可以使掃描配線202與資料配線204有電性連接之關係。而掃描配線202(第一金屬層)與資料配線204(第二金屬層)之間有電性連接的關係，將有助於靜電放電保護電路以及其他電路設計的方便性。

舉例如在其中一種靜電放電保護電路的設計中，保護電路是由兩個薄膜電晶體所構成，且其各自的閘極與源極係彼此電性相通，而形成了兩個反向的二極體，因此若要使用此種靜電放電保護電路的設計，則必須使第一金屬層與第二金屬層有電性連接的關係。

另外，先前所形成之共用線214係作為畫素儲存電容器250之下電極，因此形成在共用線214上方之畫素電極216係作為畫素儲存電容器250之上電極，而形成於共用線214與畫素電極216之間之閘絕緣層205即為電容介電層。

在上述之薄膜電晶體陣列基板的製造方法中，僅需使用四道光罩製程，其中第一光罩是用來定義第一金屬層，以形成閘極、掃描配線、共用線以及第一端子部。第二道光罩製程係用來定義通道層以及歐姆接觸層，並且使第一端子部暴露出來。第三道光罩製程係用來定義第二金屬層以及透明導電層，以定義出資料配線、源極/汲極、畫素區域、第二端子部以及導電塊。而第四道光罩是用來圖案化保護層。後續，直接使用保護層為罩幕便可以將畫素區域中之第二金屬層移除，暴露出透明導

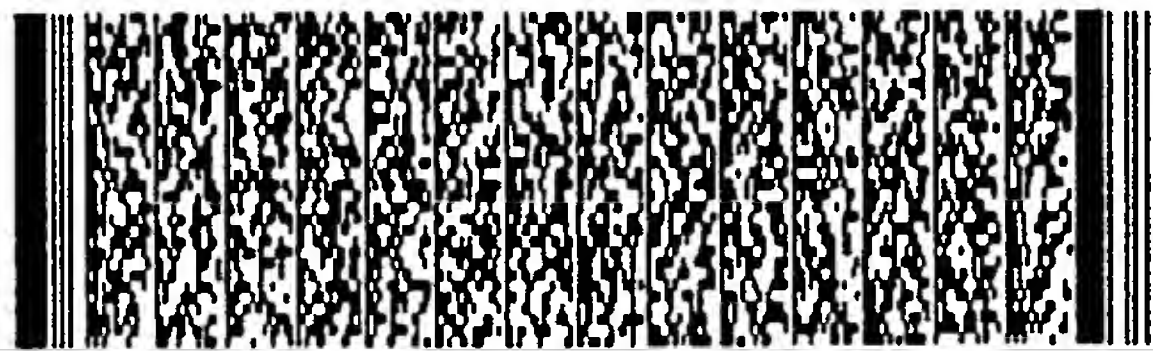
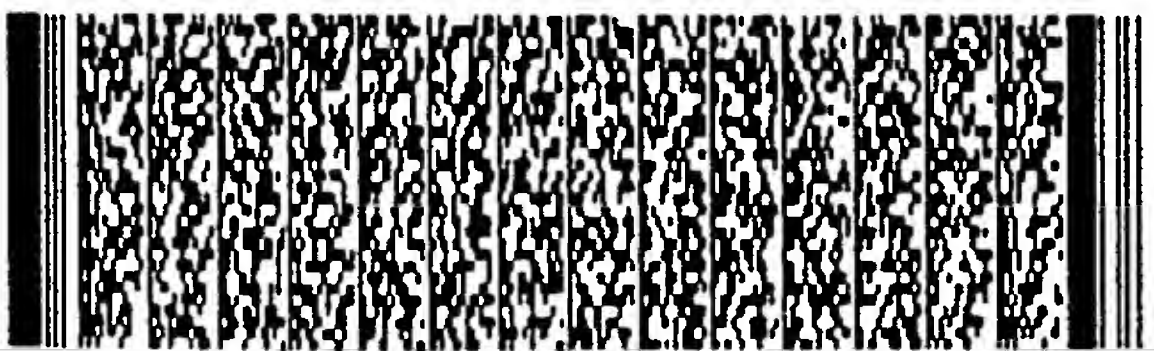


五、發明說明 (15)

電層，而形成本發明之透明電極，並且將第一端子部上之導電塊的金屬層移除，以之使薄膜電晶體之製造方法僅需光使用四道光罩，進而降低製作成本。光罩之薄膜電晶體陣列基板及歐姆接觸第一端子第二光罩，因此本發明所提出之四道光罩實為一種有別於習知技術之方法。

此外，本發明所提出之薄膜電晶體陣列基板之製造方法，除了僅需四道光罩外，且其第二道光罩之製程與習知技術相同，有電性連接之關係，如上方之設計揭露者，與潤所界之製程線與資放電保護電路，已任當後附之靜電雖然本發明，任當後附之精神保護範圍內，當視

此，本發明所提出之薄膜電晶體陣列基板之製造方法，除了僅需四道光罩外，且其第二道光罩之製程與習知技術相同，有電性連接之關係，如上方之設計揭露者，與潤所界之製程線與資放電保護電路，已任當後附之靜電雖然本發明，任當後附之精神保護範圍內，當視



圖式簡單說明

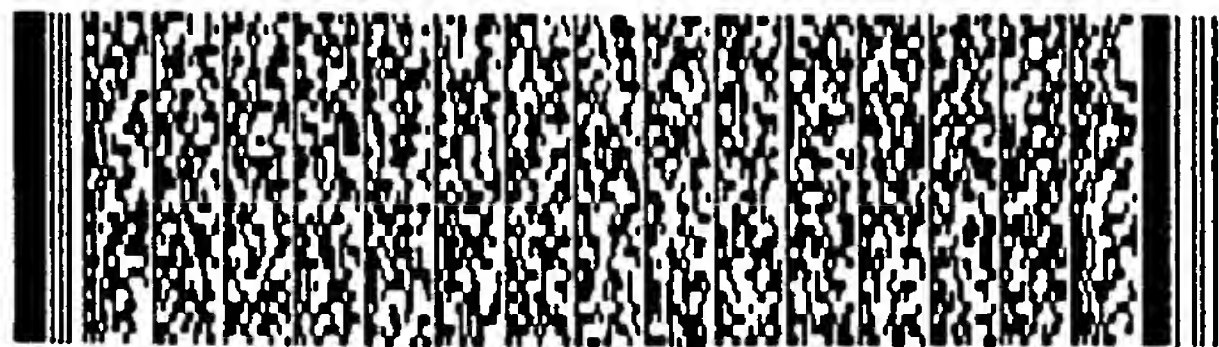
第1圖是依照本發明一較佳實施例之薄膜電晶體陣列基板之上視示意圖；

第2A圖至第2E圖是依照本發明一較佳實施例之薄膜電晶體陣列基板之製造流程剖面示意圖；以及

第3A圖至第3I圖是依照本發明另一較佳實施例之薄膜電晶體陣列基板之製造流程剖面示意圖。

圖式標示說明

- 200：基板
- 201、215：透明導電層
- 202：掃描配線
- 204：資料配線
- 205：閘絕緣層
- 206：閘極
- 208：通道層
- 209、269：歐姆接觸層
- 210a/210b：源極/汲極
- 210c、210d：金屬層
- 211：保護層
- 212a、212b：端子部
- 214：共用線
- 216：畫素電極
- 216a：接觸層
- 219：導電塊
- 230：薄膜電晶體



圖式簡單說明

250 : 畫素儲存電容器

260 : 畫素區域

268 : 通道材質層

300 : 光罩

302 : 曝光區

304 : 半曝光區

306 : 非曝光區

310、310a、310b : 光阻層



六、申請專利範圍

1. 一種薄膜電晶體陣列基板的製造方法，包括：

在一基板上形成一閘極以及與該閘極電性連接之一掃描配線；

在該基板上形成一閘絕緣層，覆蓋該閘極以及該掃描配線；

在該閘極上方之該閘絕緣層上定義出一通道層以及一歐姆接觸層；

在該基板之上方形成一透明導電層；

在該透明導電層上形成一金屬層；

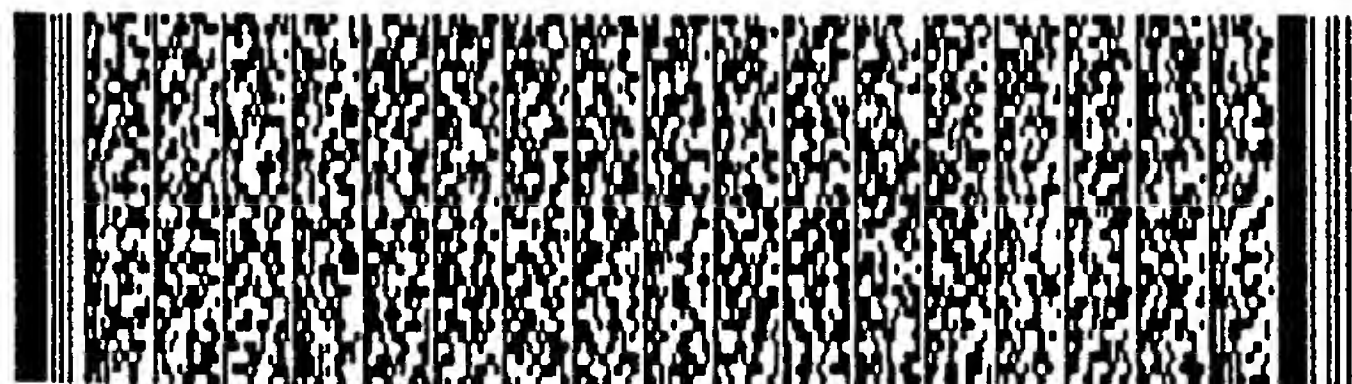
圖案化該金屬層與該透明導電層，以定義出一源極/汲極、一資料配線以及一畫素區域；

在該基板之上方形成一保護層，暴露出該畫素區域中之該金屬層；以及

以該保護層為罩幕，移除該畫素區域中之該金屬層，暴露出該畫素區域中之該透明導電層，而形成一畫素電極。

2. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中在該閘極與該掃描配線之表面上更包括形成有一第一透明導電層。

3. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中在形成該閘極與該掃描配線時，更包括在該基板之一邊緣處形成與該掃描配線電性連接之一第一端子部，在定義該源極/汲極、該資料配線以及該畫素區域的同時，更在該基板另一邊緣處定義出一第二端



六、申請專利範圍

子部。

4. 如申請專利範圍第3項所述之薄膜電晶體陣列基板的製造方法，其中在該第一端子部之表面上更包括形成有一第一透明導電層。

5. 如申請專利範圍第3項所述之薄膜電晶體陣列基板的製造方法，其中在該基板之上方形形成該保護層之步驟中，該保護層係暴露出該第一端子部上方之該閘絕緣層以及該第二端子部，以使後續於以該保護層為罩幕移除該金屬層之步驟中，會將該第一端子部上方之該閘絕緣層移除，該第二端子部之該金屬層也會被移除。

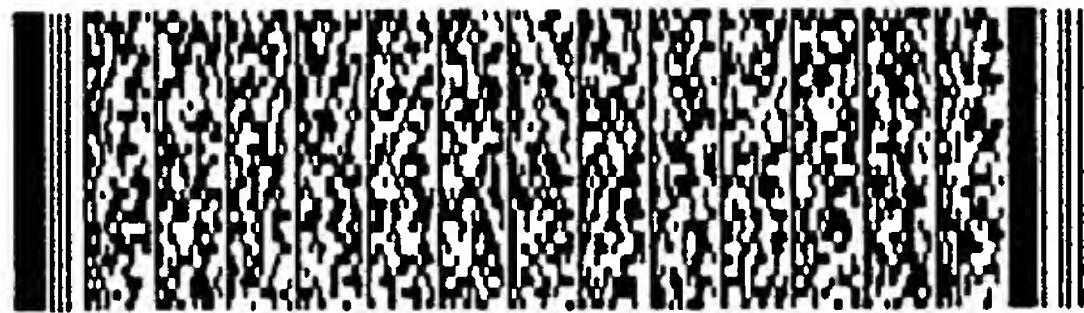
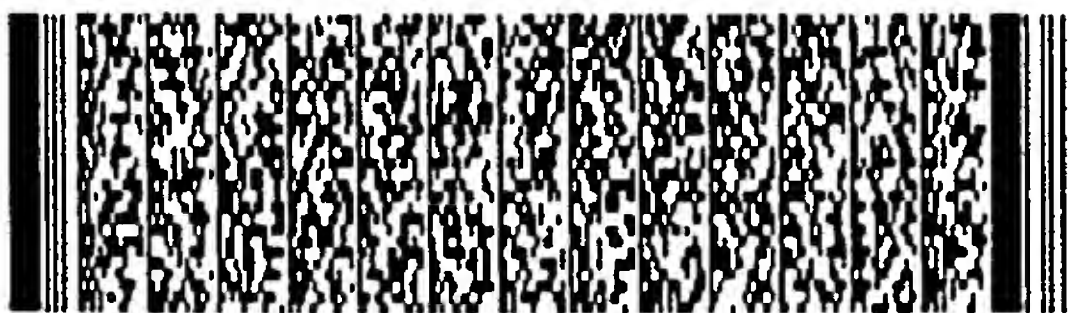
6. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中在形成該閘極與該掃描配線時，更包括在該基板上形成一共用線，用以作一畫素儲存電容器之下電極，而後續形成於該共用線上方之該畫素電極即作為該畫素儲存電容器之上電極。

7. 如申請專利範圍第6項所述之薄膜電晶體陣列基板的製造方法，其中在該共用線之表面上更包括形成有一第一透明導電層。

8. 一種薄膜電晶體陣列基板的製造方法，包括：

在一基板上形成一閘極以及與該閘極電性連接之一掃描配線，並且同時在該基板之一邊緣處形成一第一端子部，該掃描配線係與該第一端子部電性連接；

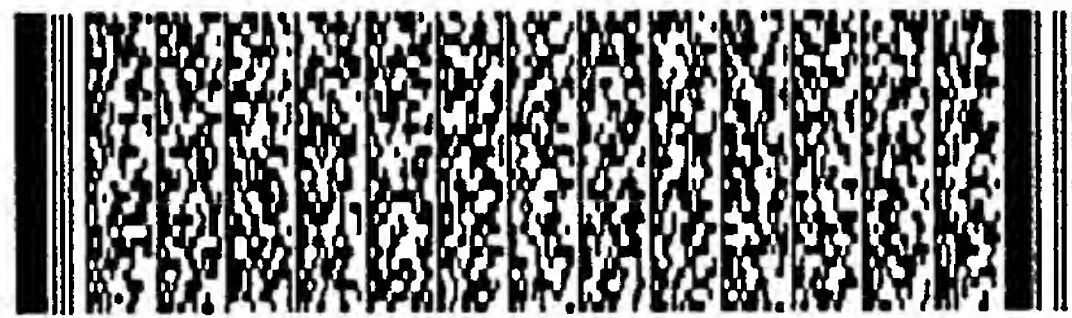
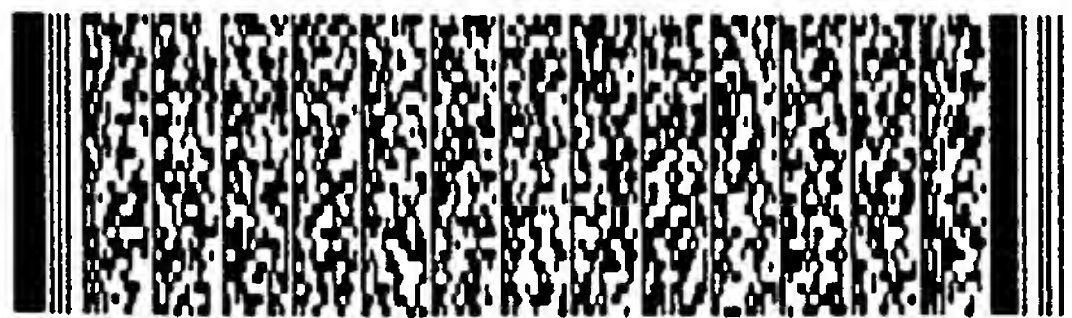
在該基板上形成一閘絕緣層，覆蓋該閘極、該掃描配線與該第一端子部；



六、申請專利範圍

露應道，而極並上區子第中
暴對通層；
係層該阻層；
層阻之光質質；
阻光上；一材材層
光該部部第一道道
；且厚子子一通通通
層，度端端成該一層；
質層層厚一一形之化出電層及義而接，以素出電
材阻質的第三而方案義導屬電以定，連層；畫露導
道光材分該該，上圖定明金導域上接性護塊該暴明畫
通一道部除出度極，上透一明區部連電保電除，透一
一成通他移露厚閘幕層一成透素子性線一導移層該為
形成該其，暴分該罩緣成形該畫端子配成該，屬之即
形上之較幕，部住為絕形上與一一極料形及幕金塊層
上層方度罩層之蓋層閘方層層、第源資方以罩該電電
層質上厚為緣層覆阻該上電屬線該該上部為之導導
緣材部的層絕阻係光之之導金配的與與之子層塊該明
絕道子處阻閘光層一方板明該料露係係板端護電及透
閘通端之光該該阻第上基透化資暴線塊基二保導以該
該該一極該與除光該極該案一在配電該第該部的
在在該開以層移一以閘在在圖、時料導在該以及子
出該該質第該於該極同資該域、以端露

9. 如申請專利範圍第8項所述之薄膜電晶體陣列基板



六、申請專利範圍

的製造方法，其中在該閘極、該掃描配線與該些端子部之表面上更包括形成有一第一透明導電層。

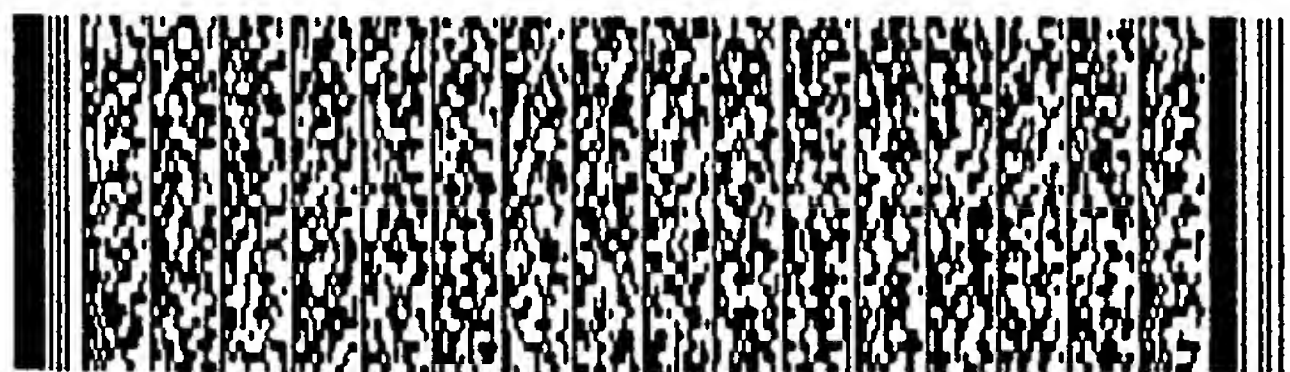
10. 如申請專利範圍第8項所述之薄膜電晶體陣列基板的製造方法，其中在形成該閘極、該掃描配線與該第一端子部時，更包括在該基板上形成一共用線，用以作一畫素儲存電容器之下電極，而後續形成於該共用線上方之該畫素電極即作為該畫素儲存電容器之上電極。

11. 如申請專利範圍第10項所述之薄膜電晶體陣列基板的製造方法，其中在該共用線之表面上更包括形成有一第一透明導電層。

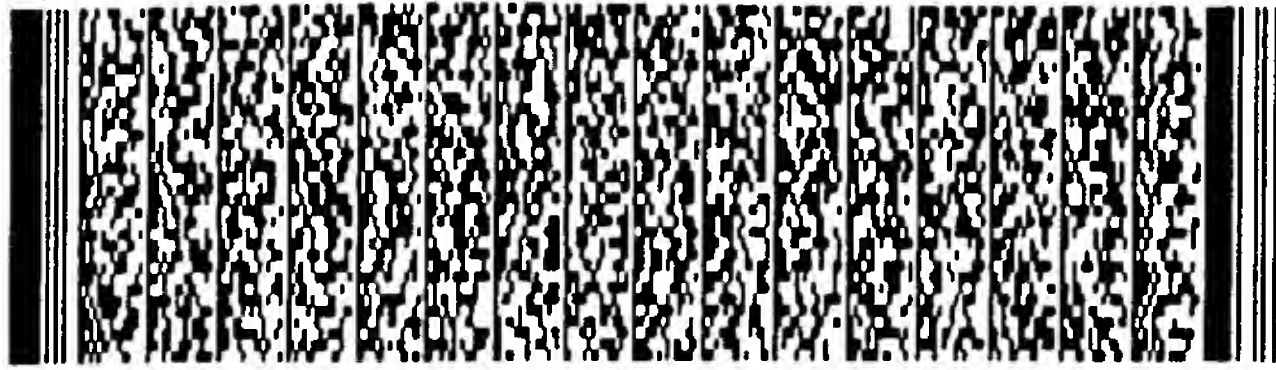
12. 如申請專利範圍第8項所述之薄膜電晶體陣列基板的製造方法，其中在該通道層之表面上更包括形成有一歐姆接觸層。

13. 如申請專利範圍第8項所述之薄膜電晶體陣列基板的製造方法，其中形成該光阻層之方法係利用一具有一曝光區、一半曝光區以及一非曝光區之光罩，該曝光區係對應於該基板上形成有該第一端子部之處，該非曝光區係對應於該基板上形成有該閘極之處。

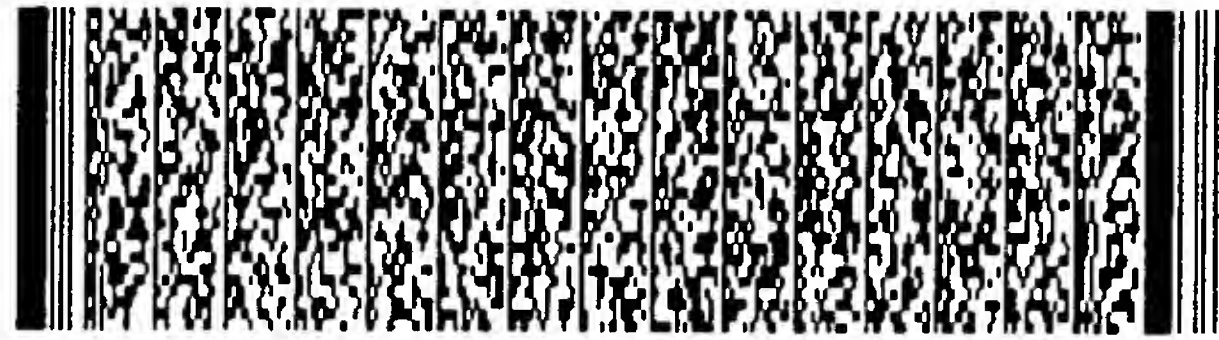
14. 如申請專利範圍第8項所述之薄膜電晶體陣列基板的製造方法，其中移除該光阻層之部分厚度之方法包括利用一灰化步驟。



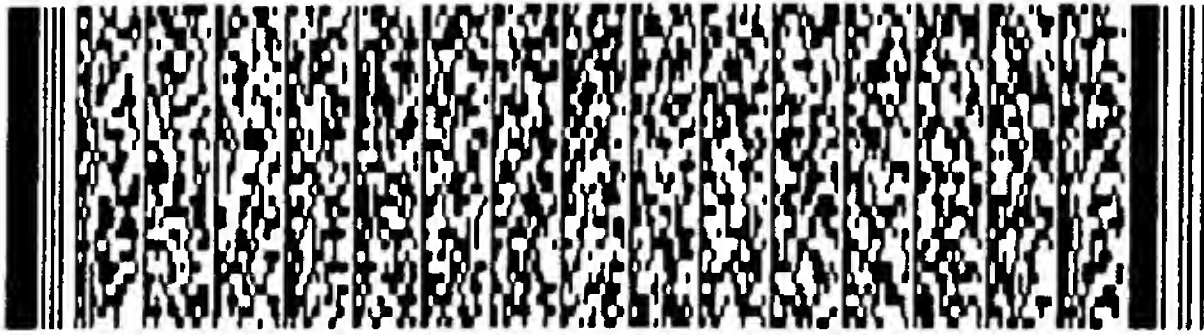
第 1/26 頁



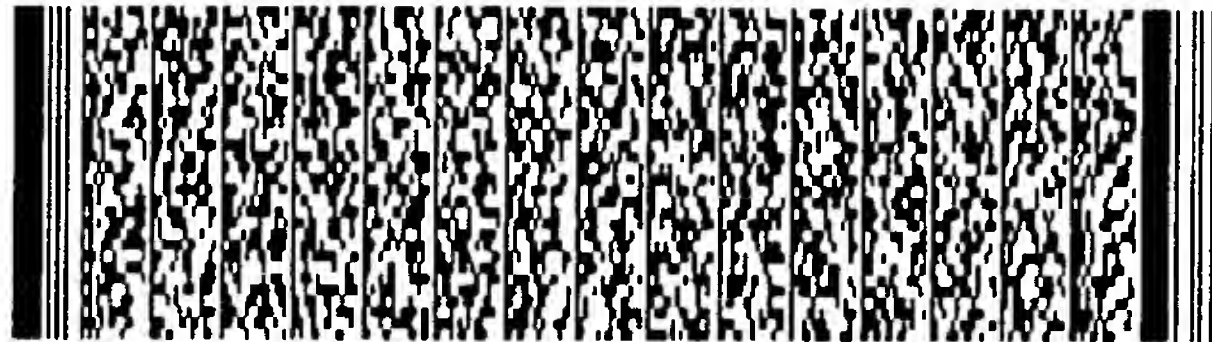
第 2/26 頁



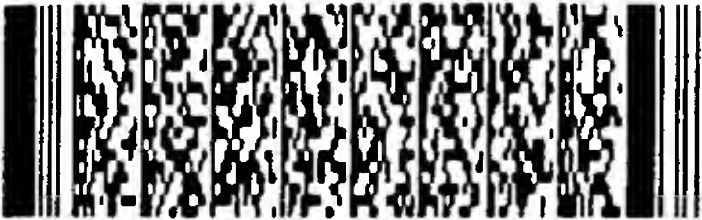
第 2/26 頁



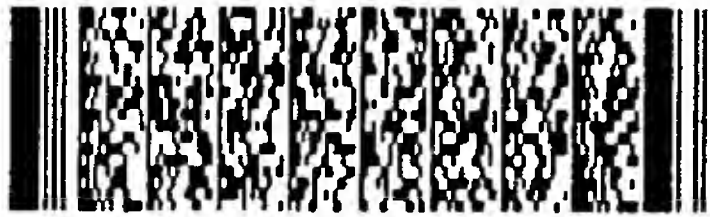
第 3/26 頁



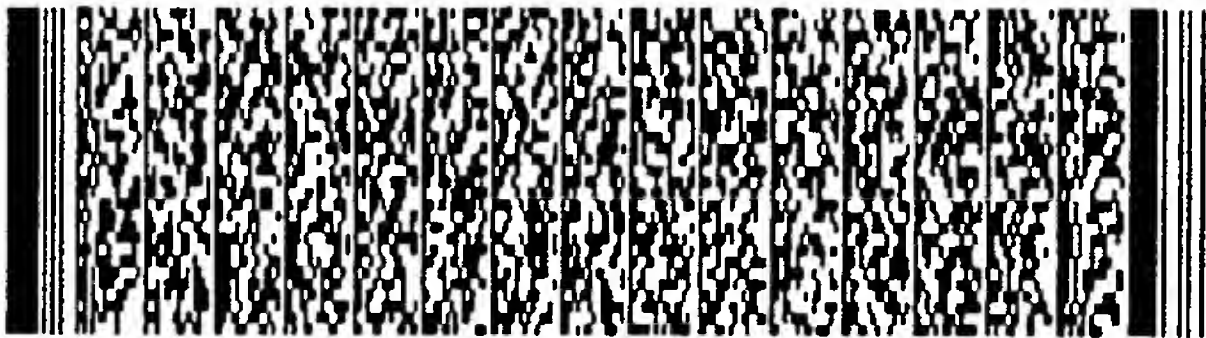
第 4/26 頁



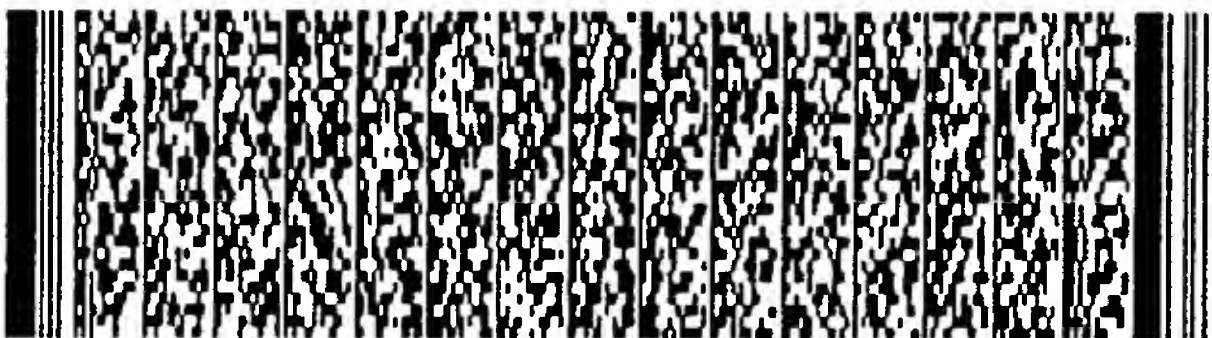
第 5/26 頁



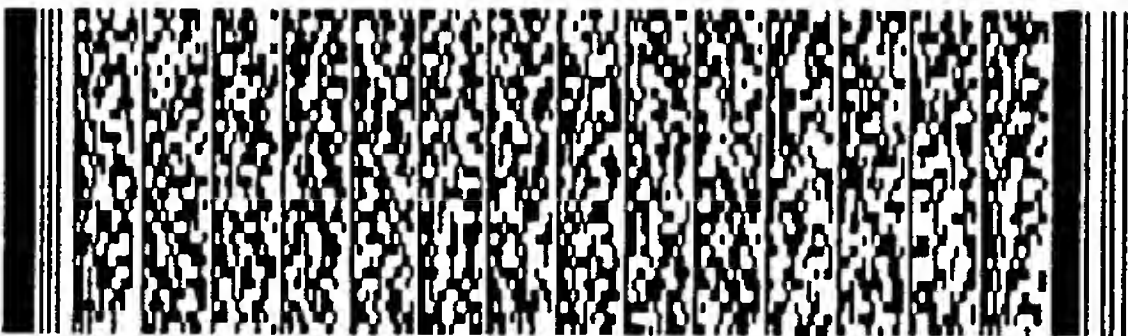
第 6/26 頁



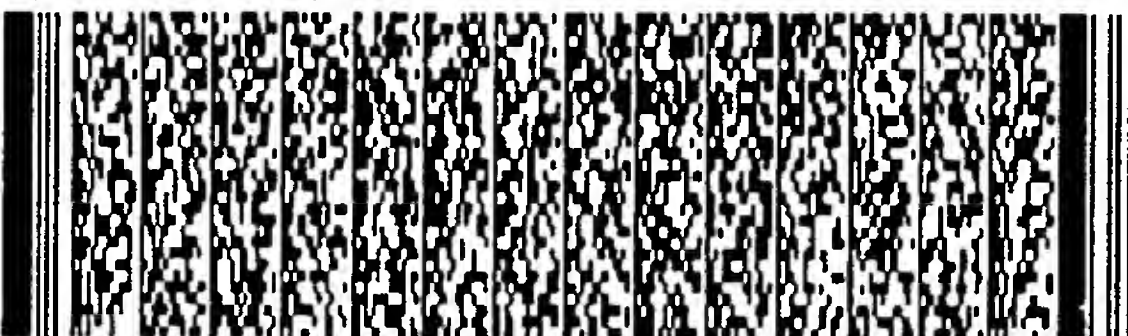
第 6/26 頁



第 7/26 頁



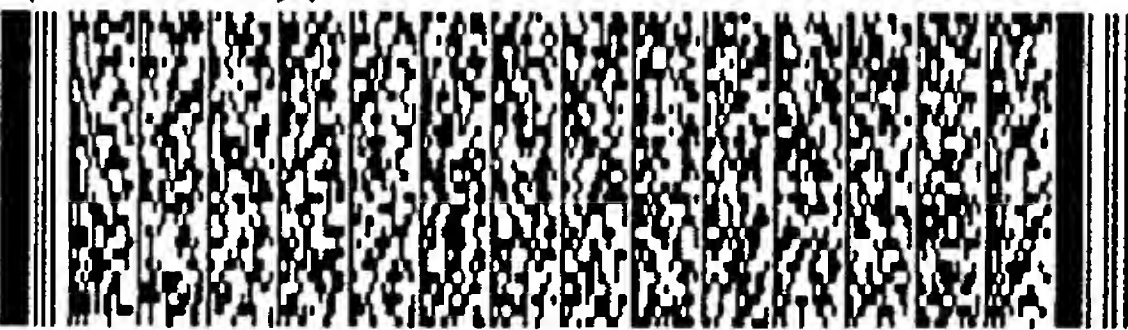
第 7/26 頁



第 8/26 頁



第 8/26 頁



第 9/26 頁



第 9/26 頁



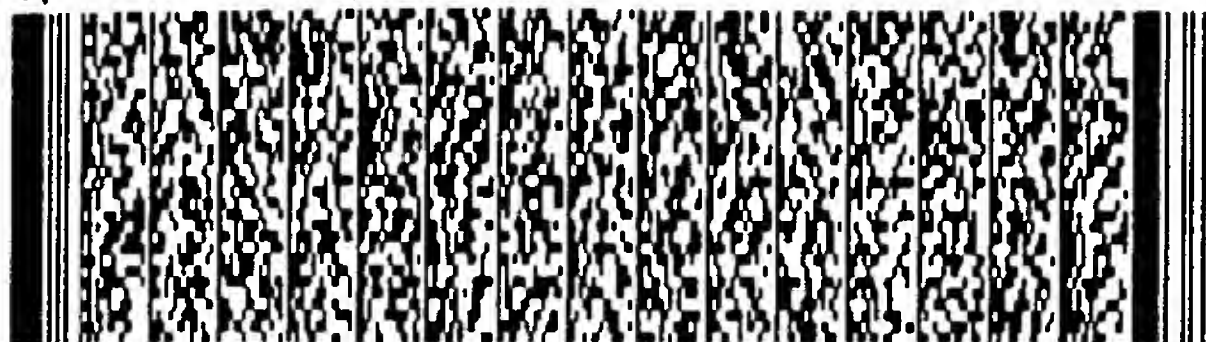
第 10/26 頁



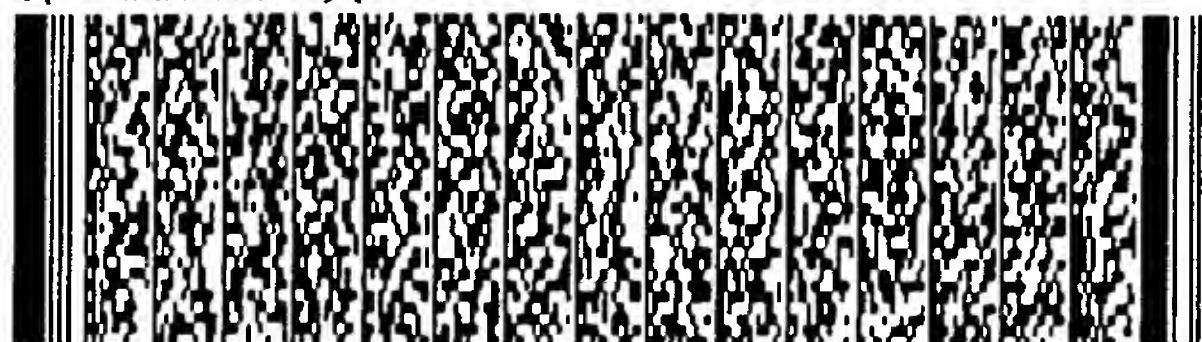
第 10/26 頁



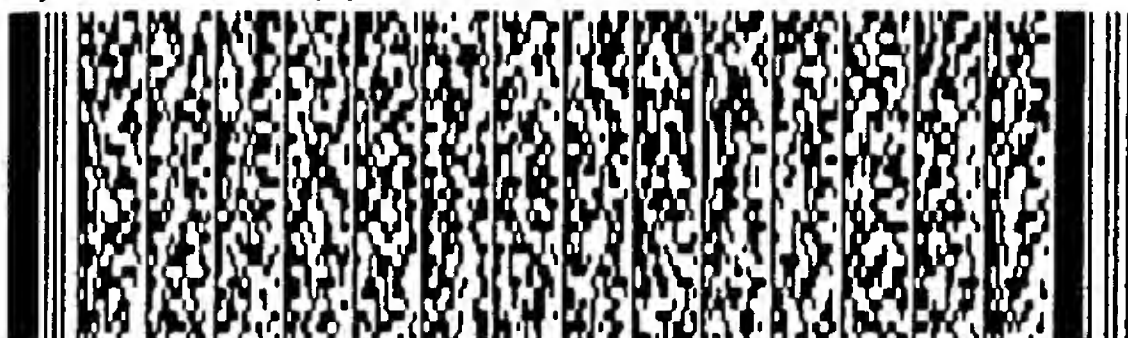
第 11/26 頁



第 11/26 頁



第 12/26 頁



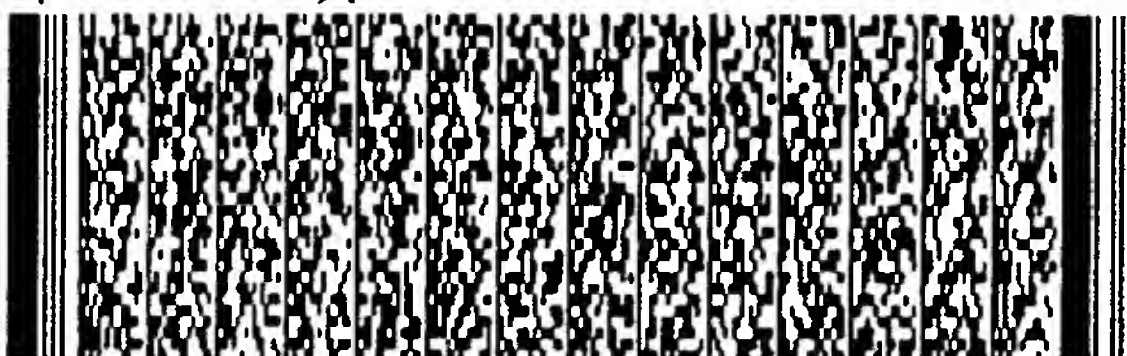
第 12/26 頁



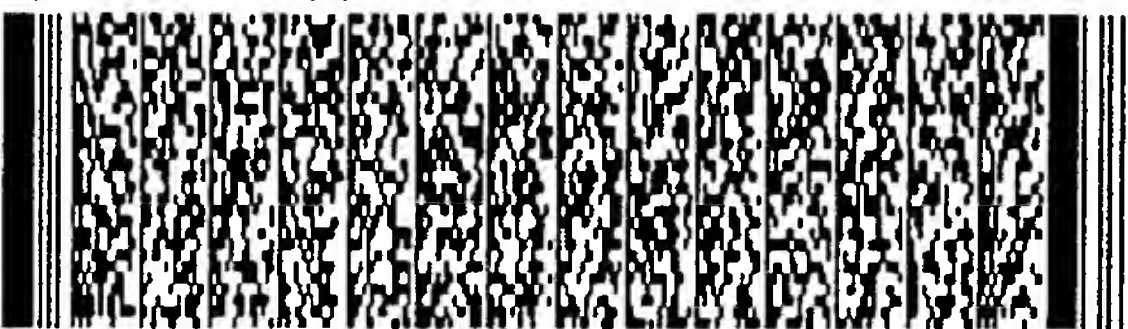
第 13/26 頁



第 13/26 頁



第 14/26 頁



第 14/26 頁



第 15/26 頁



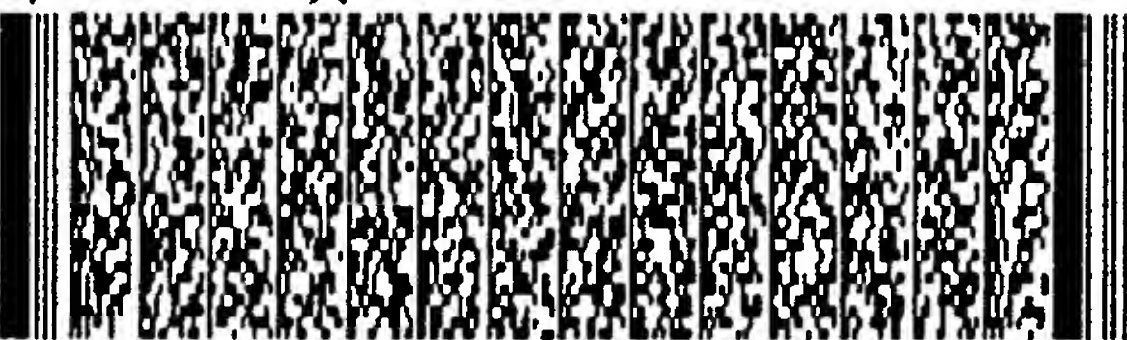
第 15/26 頁



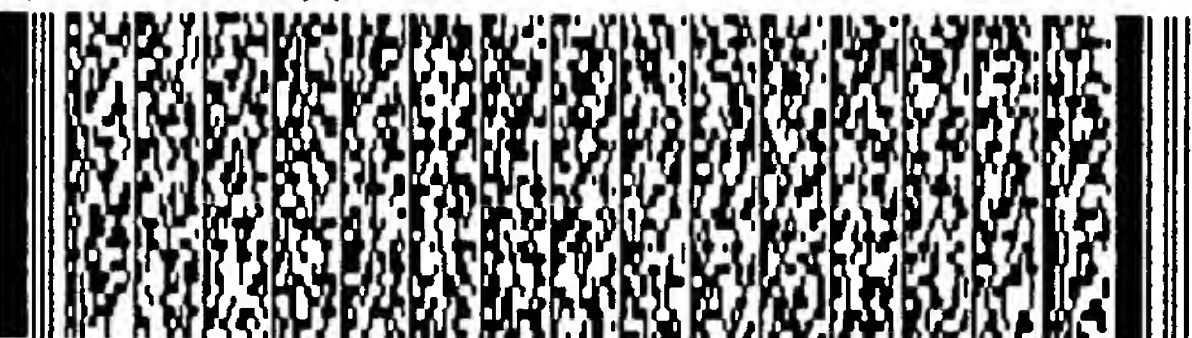
第 16/26 頁



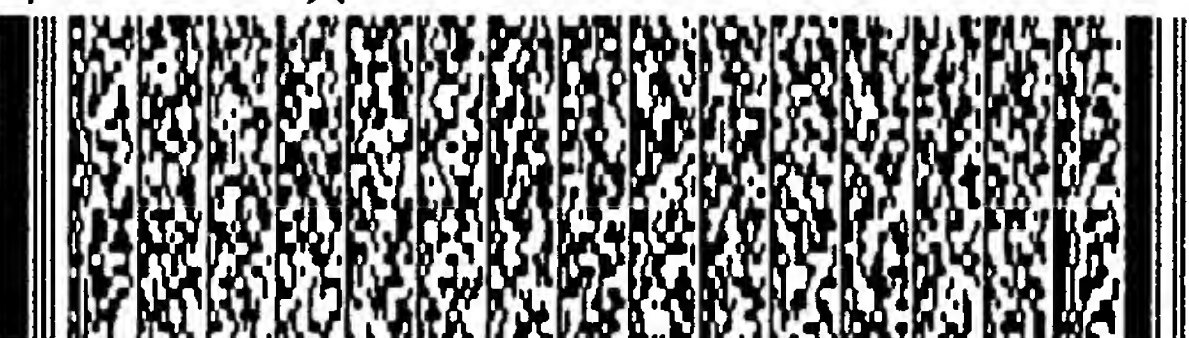
第 16/26 頁



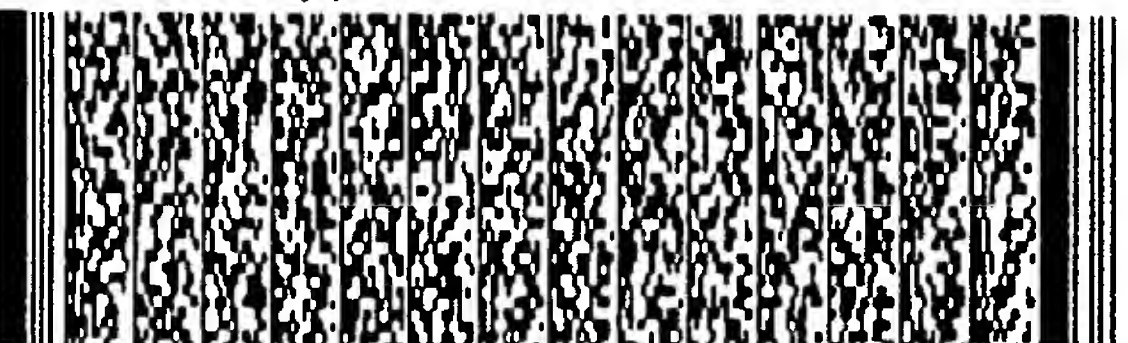
第 17/26 頁



第 17/26 頁



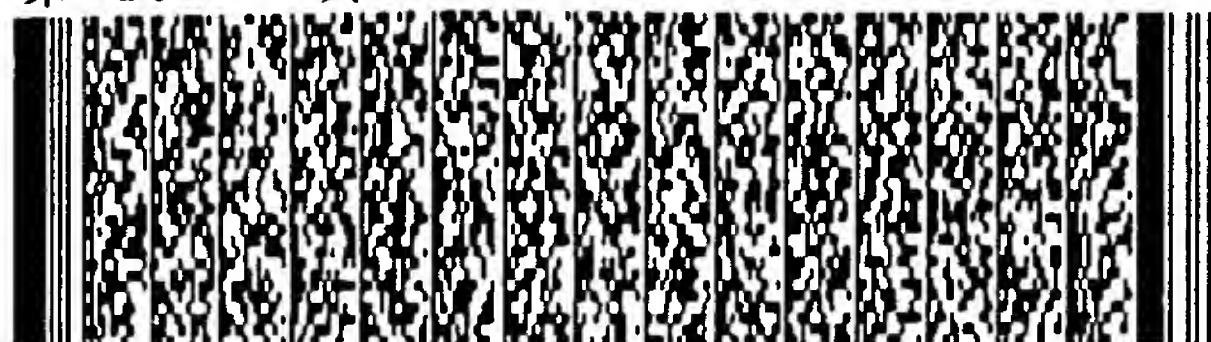
第 18/26 頁



第 18/26 頁



第 19/26 頁



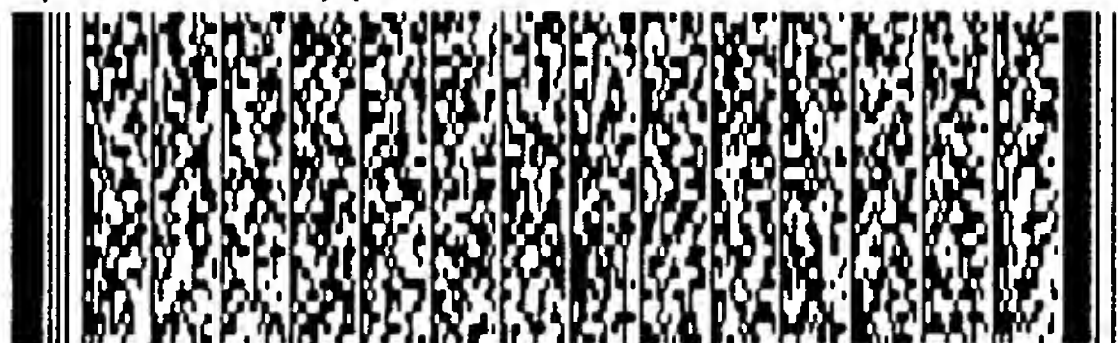
第 19/26 頁



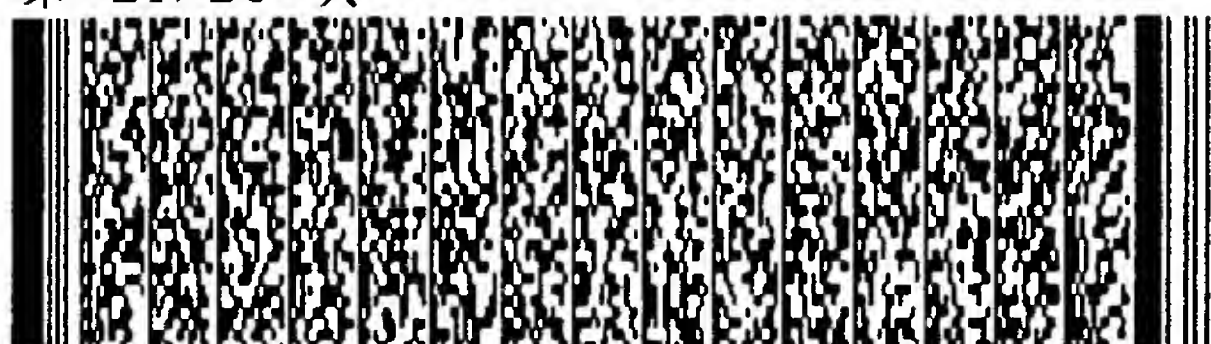
第 20/26 頁



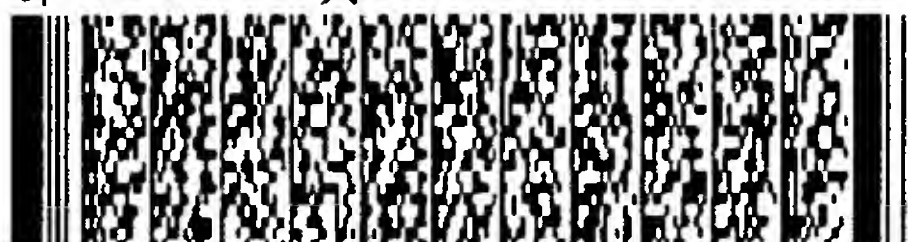
第 20/26 頁



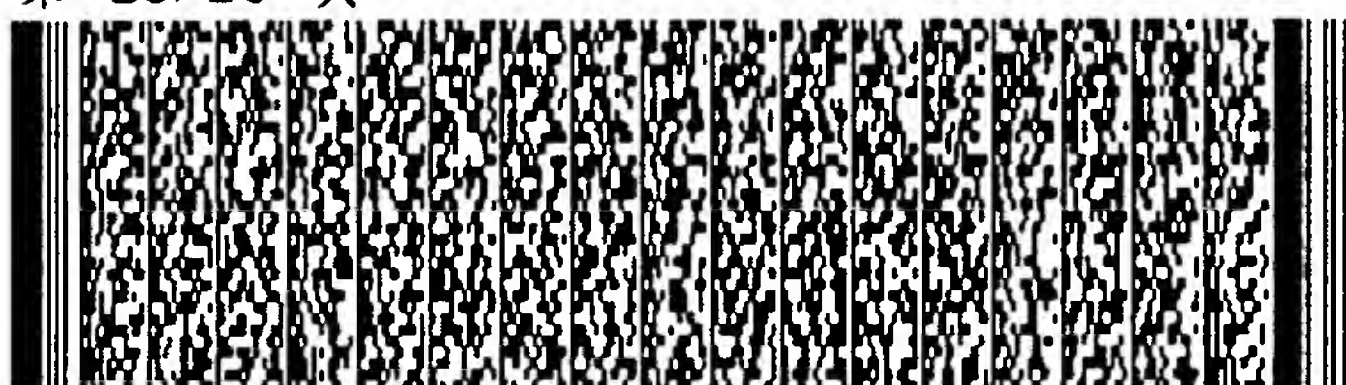
第 21/26 頁



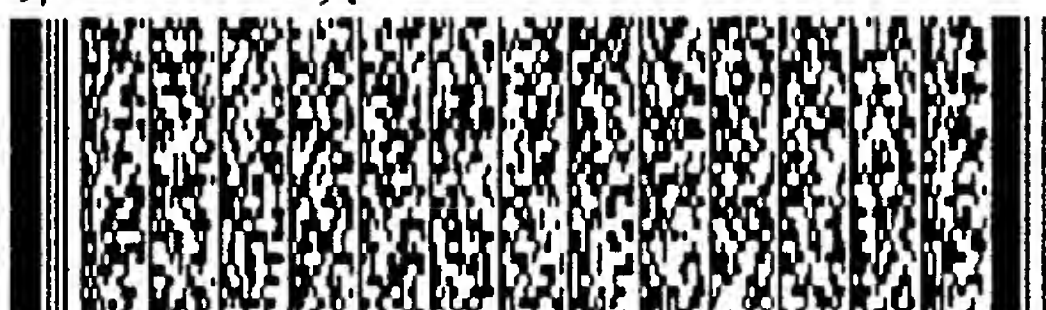
第 22/26 頁



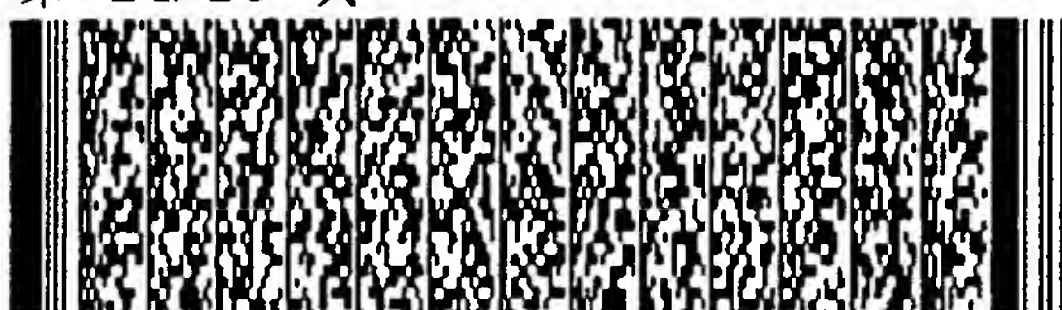
第 23/26 頁



第 24/26 頁



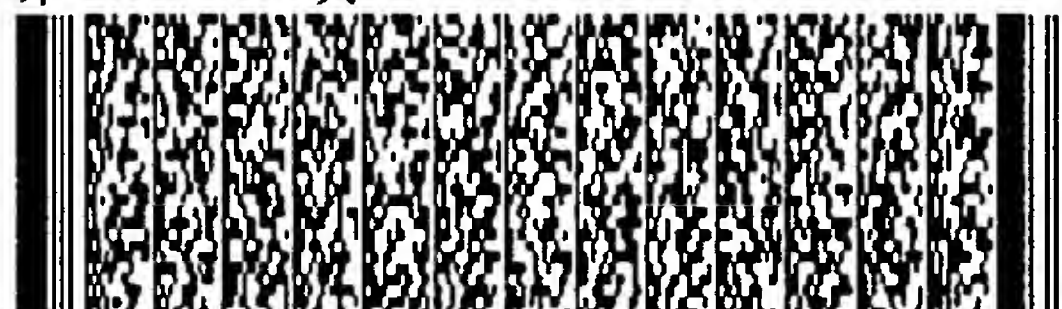
第 24/26 頁



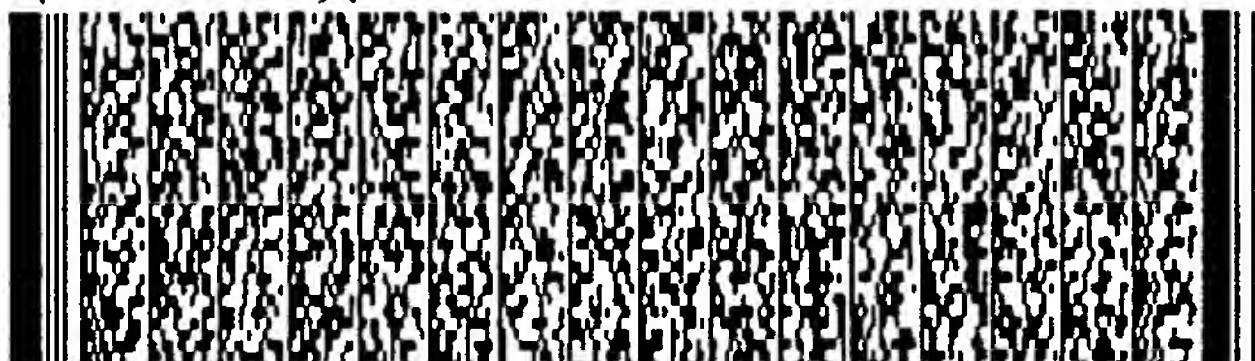
第 25/26 頁

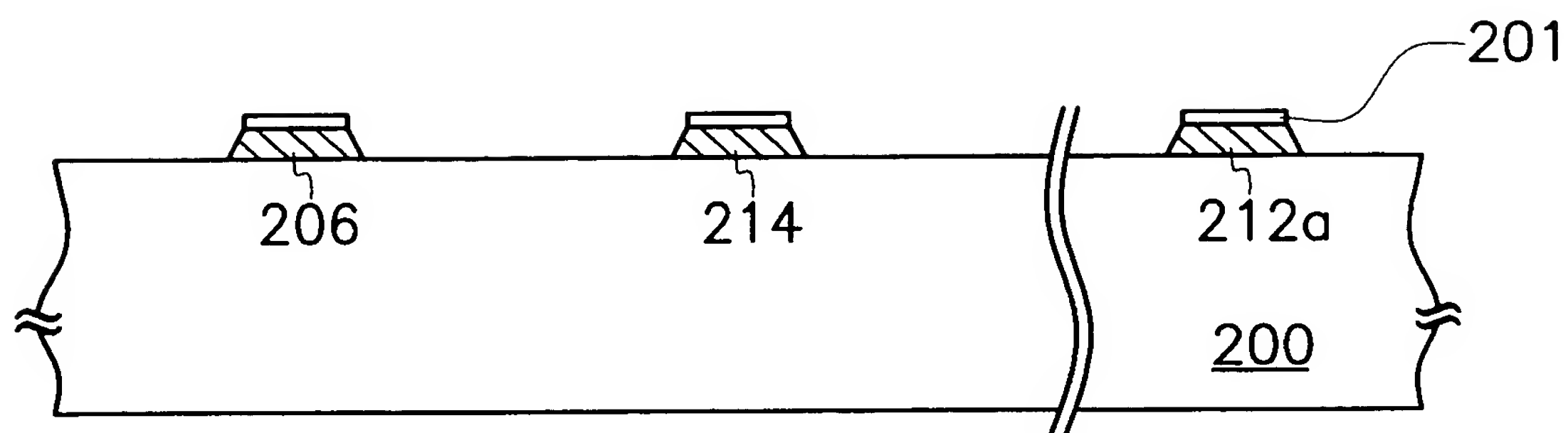


第 25/26 頁

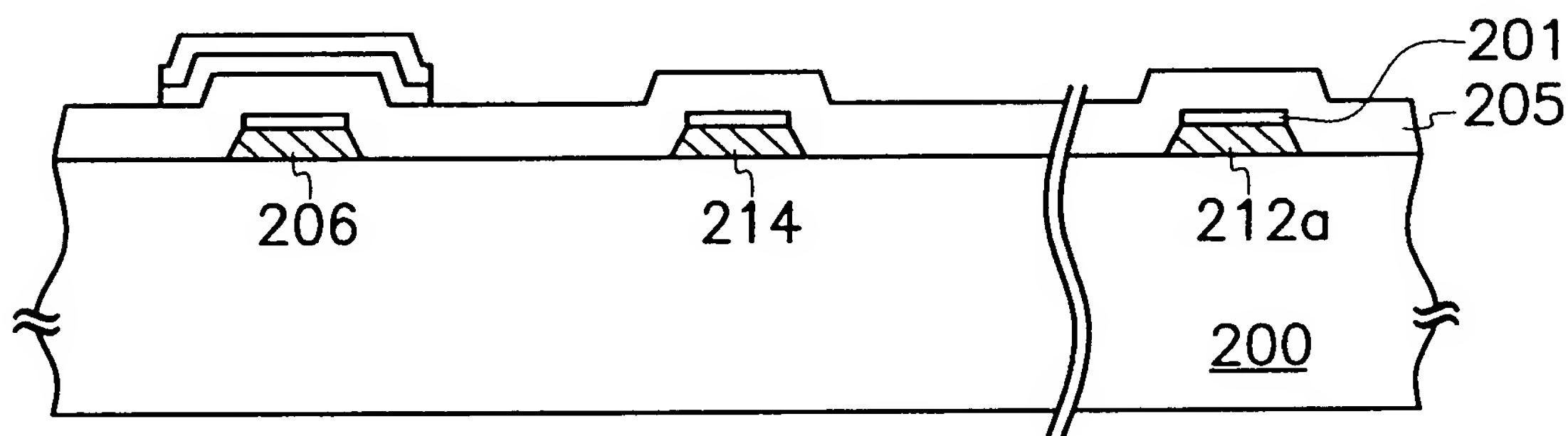


第 26/26 頁

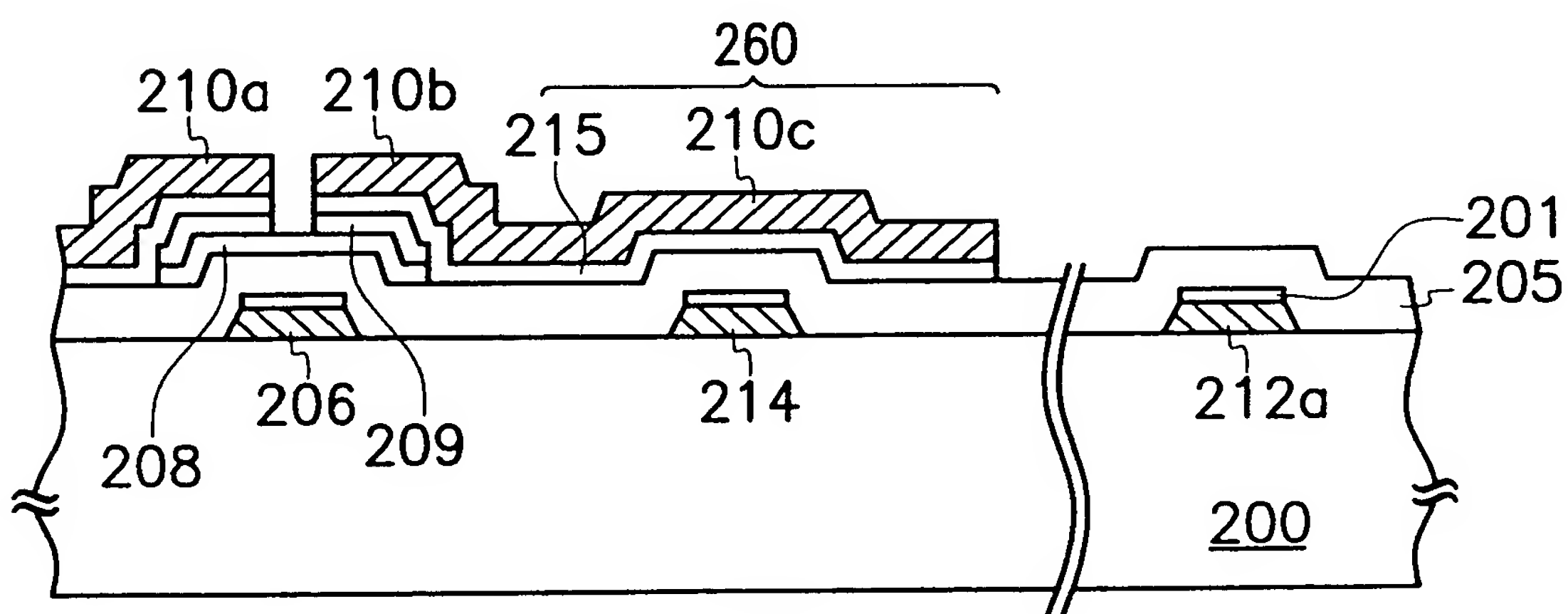




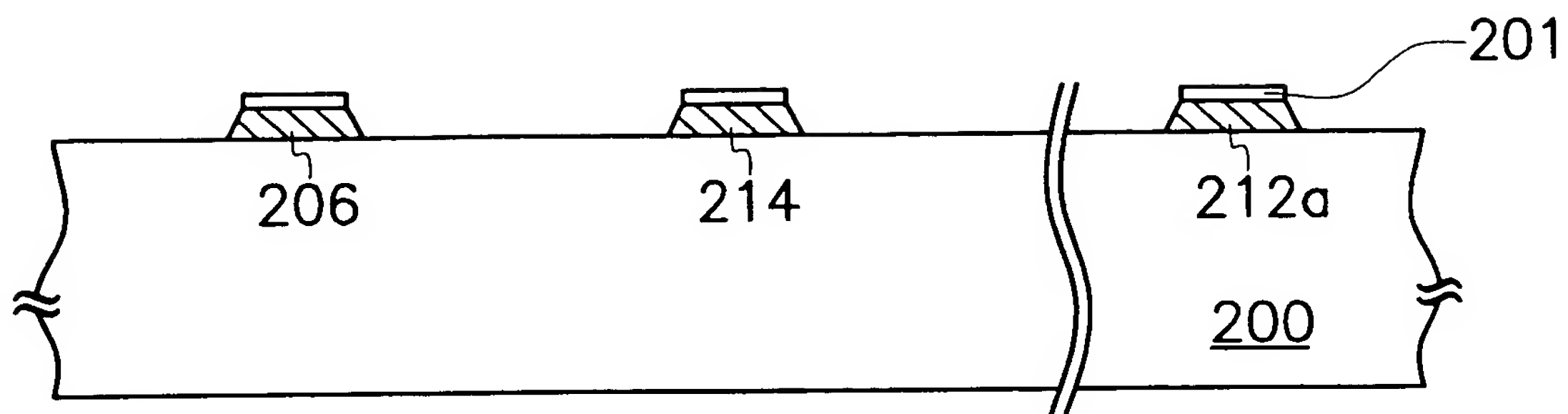
第 2A 圖



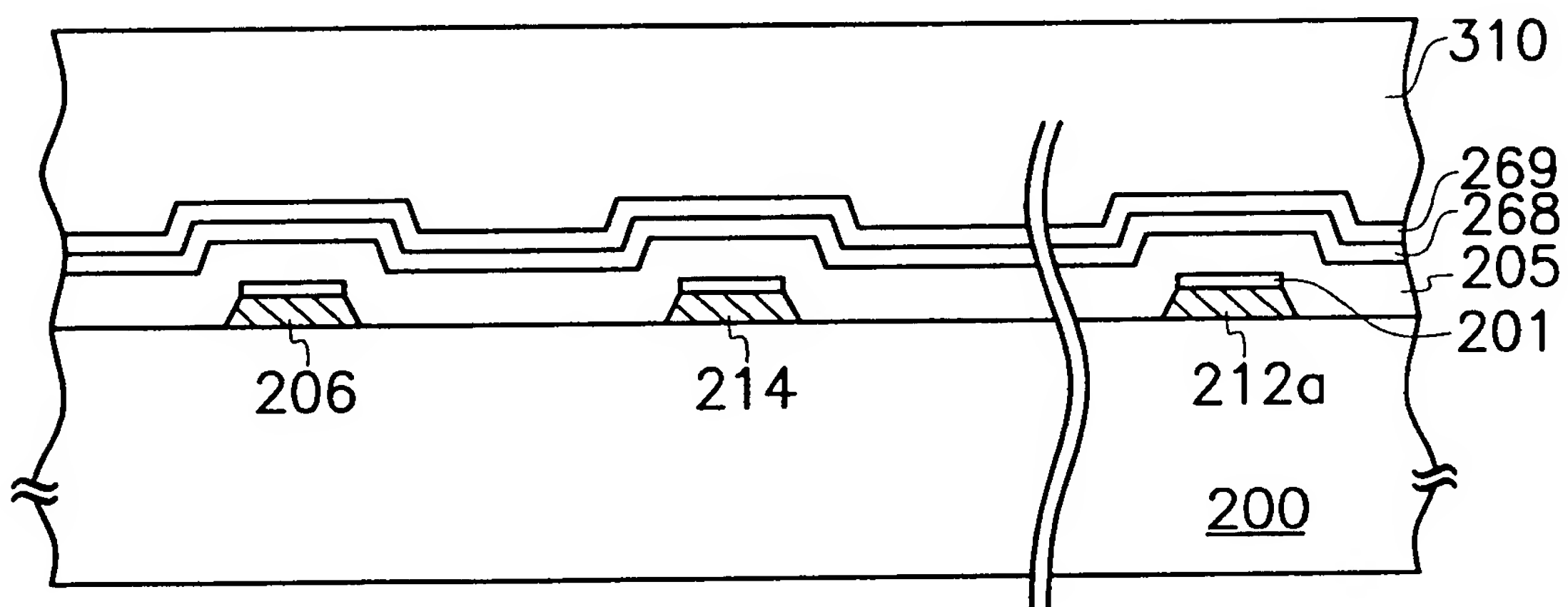
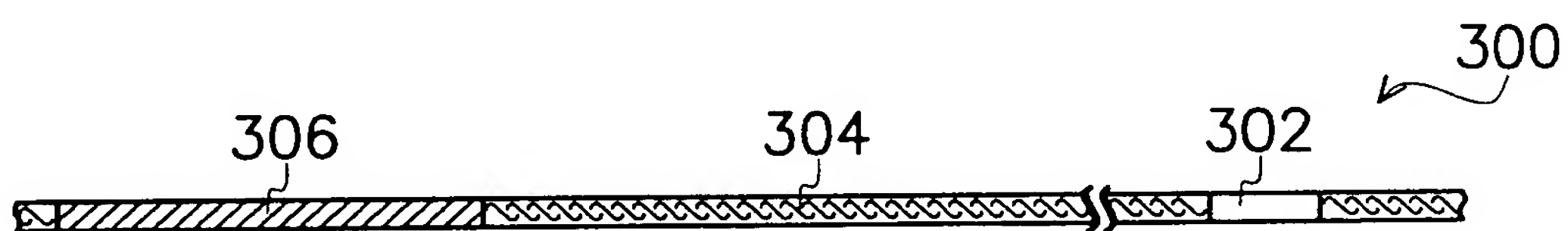
第 2B 圖



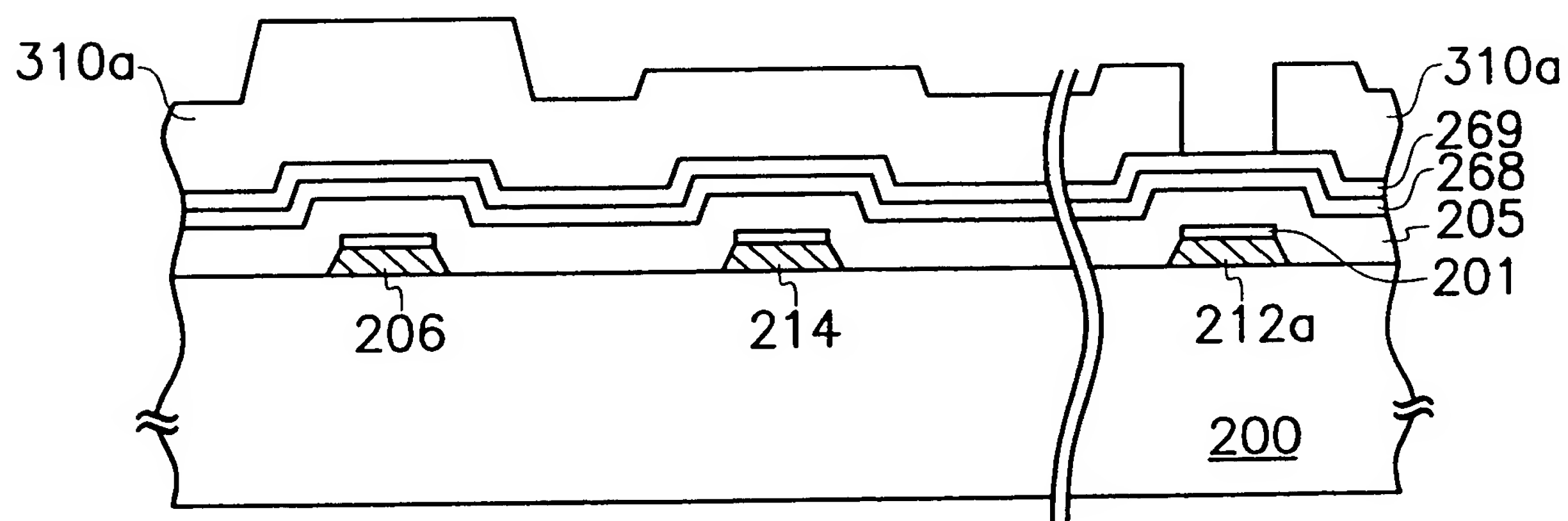
第 2C 圖



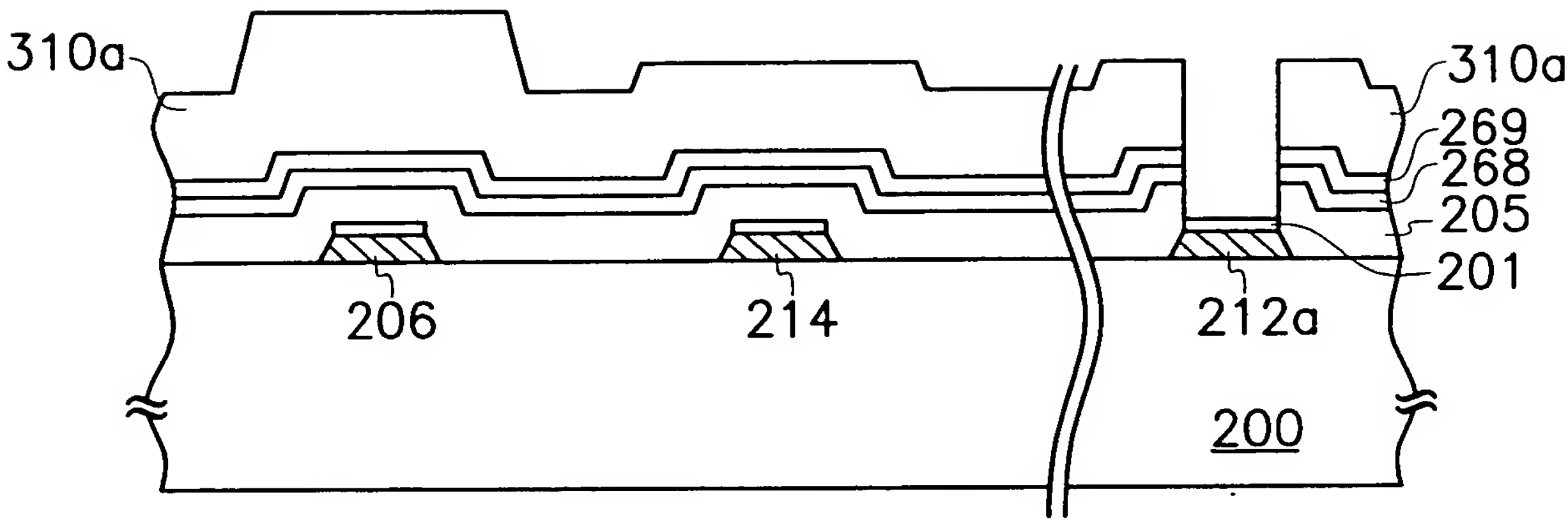
第 3A 圖



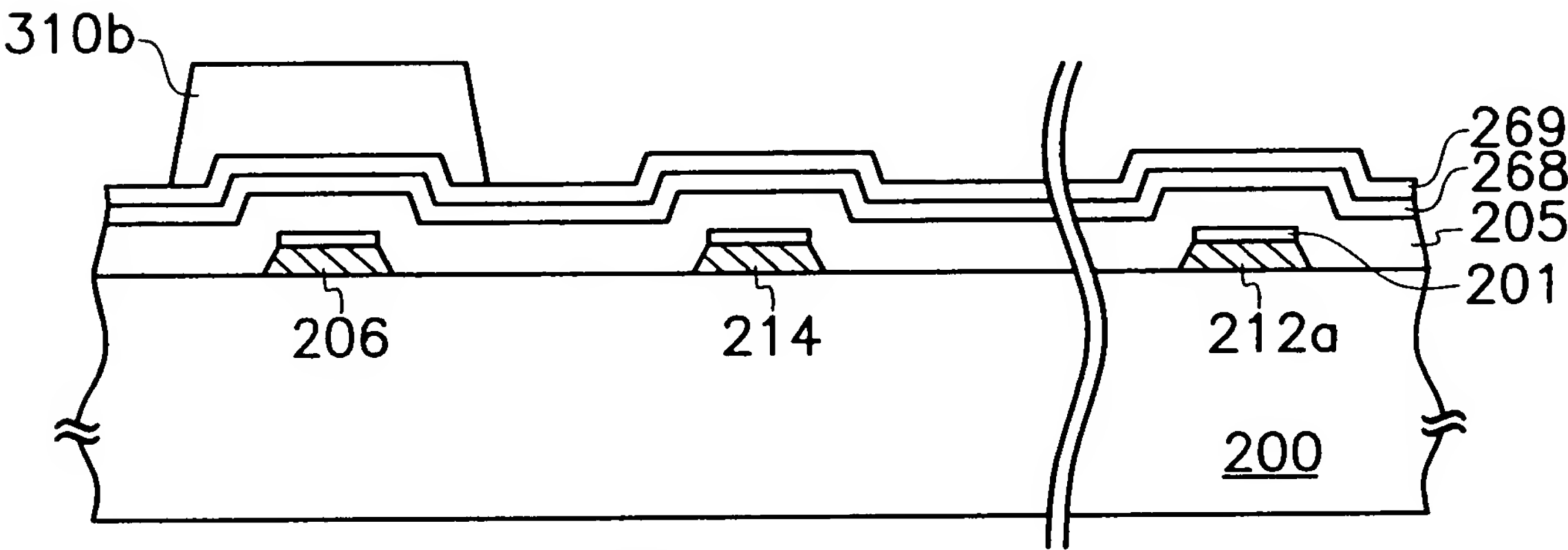
第 3B 圖



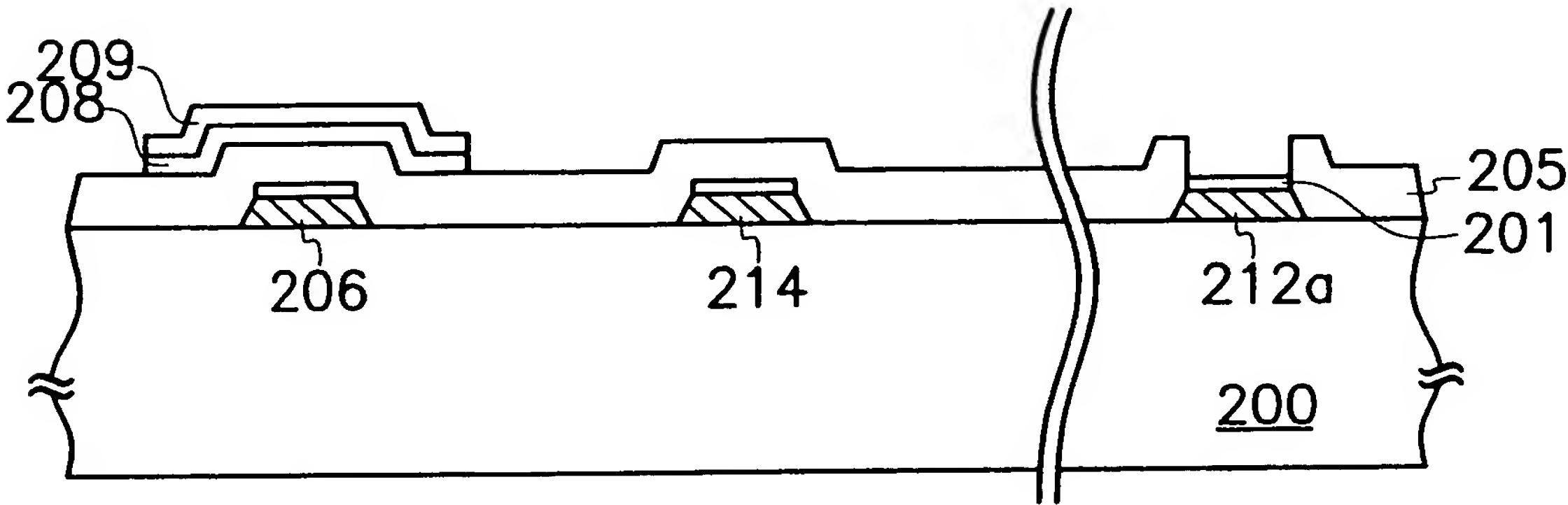
第 3C 圖



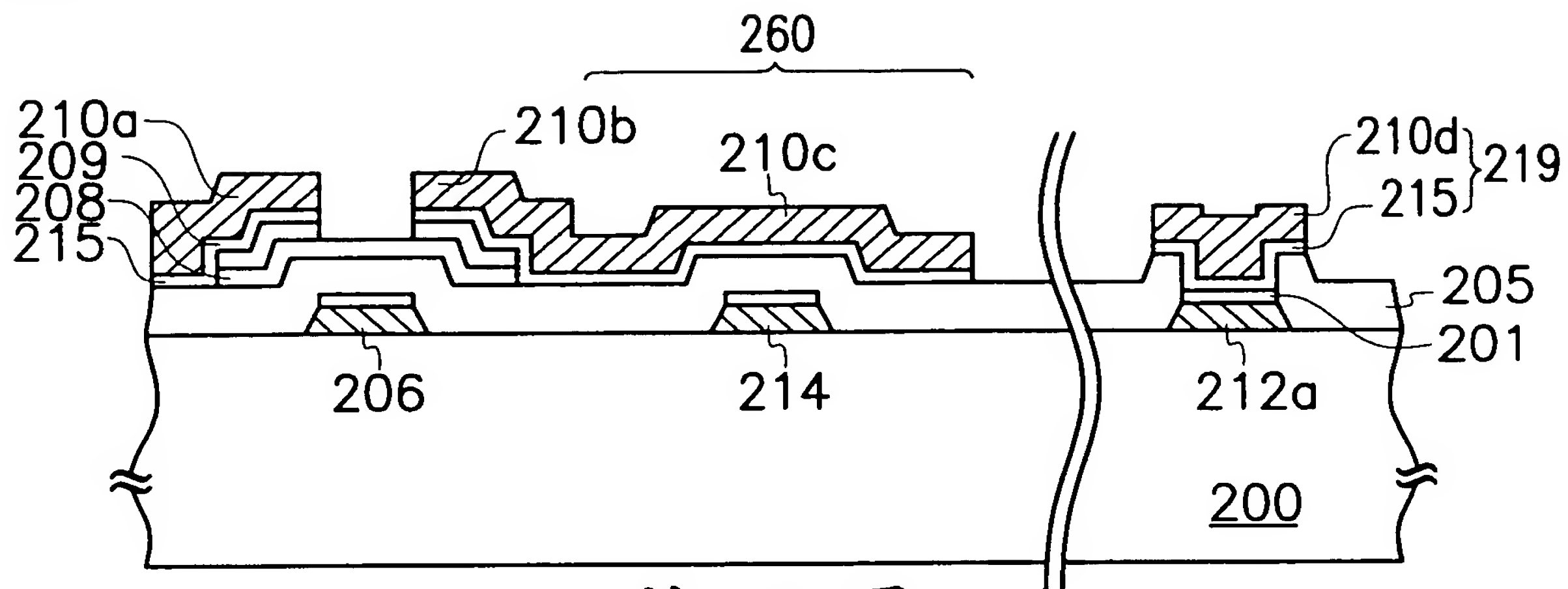
第 3D 圖



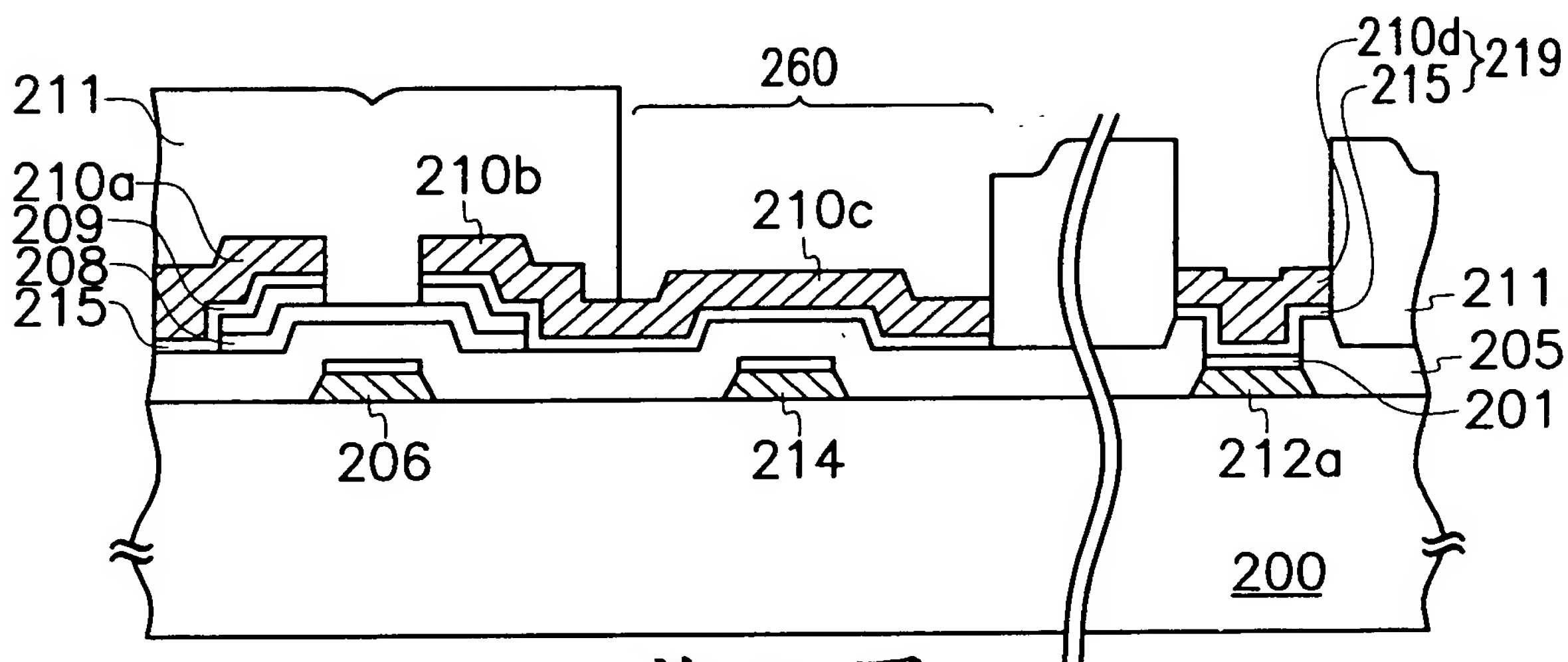
第 3E 圖



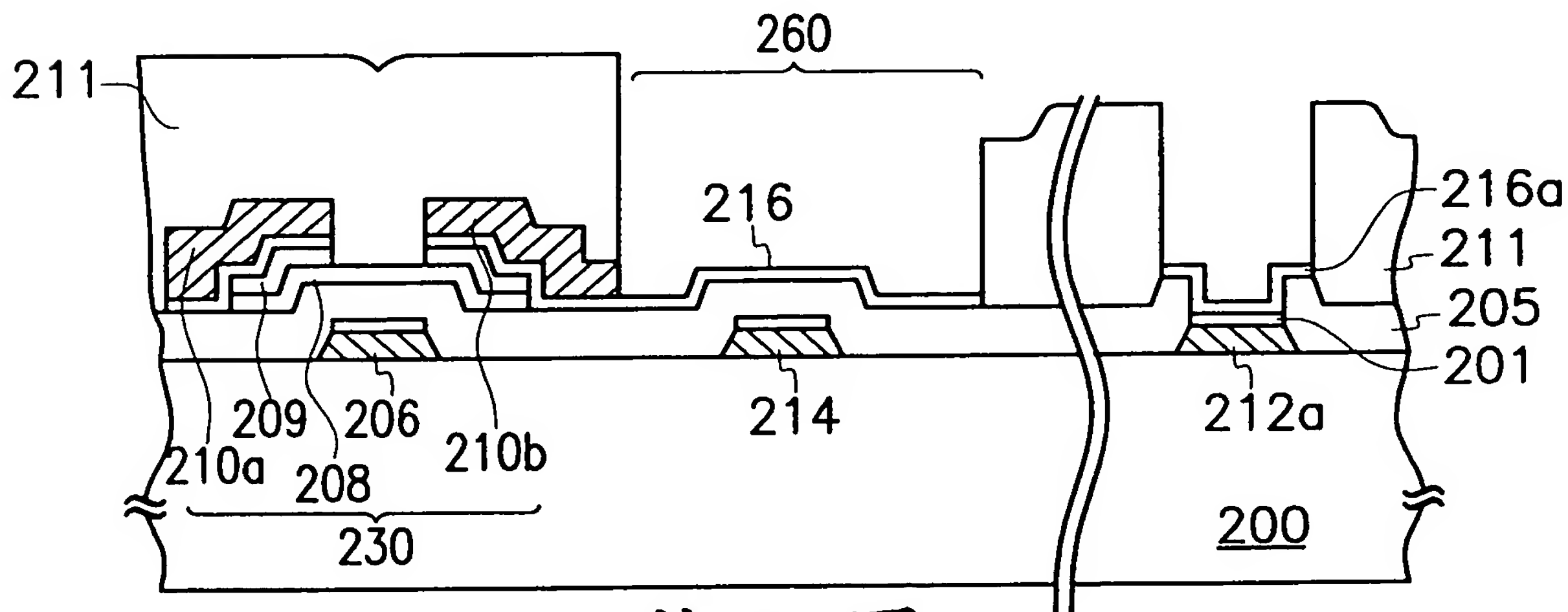
第 3F 圖



第 3G 圖



第 3H 圖



第 3I 圖